

Matthias Knappe

**Konstruktion eines digitalen Phasenkomparators
für ein optisches Sensorsystem**

DIPLOMARBEIT

HOCHSCHULE MITTWEIDA

Fakultät Elektrotechnik & Informationstechnik

Mittweida, 2009

Konstruktion eines digitalen Phasenkomparators für ein optisches Sensorsystem

eingereicht als

DIPLOMARBEIT

an der

HOCHSCHULE MITTWEIDA

Fakultät Elektrotechnik & Informationstechnik

Mittweida, 2009

Erstprüfer: Prof. Dr.-Ing. habil. Heinz Döring
Zweitprüfer: Dipl.-Ing. Werner Mothes
Die vorgelegte Arbeit wurde verteidigt: 2009

Matthias Knappe:

Konstruktion eines digitalen Phasenkomparators. – 2009.Hochschule Mittweida (FH),
Fachbereich Elektrotechnik, Diplomarbeit, 2009

Referat:

Das Ziel der Diplomarbeit ist der Aufbau eines digitalen Phasenkomparators, der für ein optisches Modulsystem benötigt wird. Als Ausgangspunkt dient ein D-Flip-Flop zur Phasendetektion, das für weitere Modifikationen zur Verfügung steht. Des Weiteren wird die Fertigung und Konstruktion der Leiterplatte beschrieben, die mit dem Eagle Layout Editor entworfen wurde. Anschließend werden mittels Visual Basic und AVR-Studio-4 die geeigneten Programme für die Auswertung der Phaseninformation implementiert. Zum Schluss folgen einige Resultate und eine Zusammenfassung der erreichten Ergebnisse.

I. Inhalt

I.	Inhalt	iv
II.	Abkürzungs- und Symbolverzeichnis	iii
III.	Abbildungsverzeichnis.....	iv
IV.	Tabellenverzeichnis.....	v
1.	Einführung.....	1
1.1	Vorbetrachtung	2
1.2	Aufgabenstellung	3
2.	Theoretische Ansätze.....	5
2.1	Konzept	5
2.2	Eigenschaften.....	8
2.3	Funktionsweise des Phasenkomparators.....	8
3.	Aufbau des digitalen Phasenkomparators.....	12
3.1	Modifizierungen	12
3.1.1	Line Receiver	13
3.1.2	Impulsverkürzer	14
3.1.3	Integrator	15
3.1.4	Schmitt-Trigger.....	16
3.2	Eagle-Layout-Editor.....	18
3.3	Konstruktion.....	22
4.	Implementierung der Software.....	23
4.1	Visual Basic.....	23
4.1.1	Visual Basic Eigenschaften	24
4.1.2	Generierung der Frequenzwörter	25
4.2	AVR-Studio	28
4.2.1	Sequentieller Programmablauf	29
4.2.2	AVR-Controller	30

5.	Stand der Arbeit	32
5.1	Ergebnisse	33
5.2	Vor und Nachteile	35
6.	Zusammenfassung	35
7.	Anhang: Auszüge aus Datenblatt 74HCT74, 74HCT00, MAX9142	36
	Quellenverzeichnis	68
	Selbständigkeitserklärung	69

II. Abkürzungs- und Symbolverzeichnis

PK	Phasenkomparator
μC	Mikrocontroller
DDS	Direkte digital Synthese
SPI	Serial Peripheral Interface
PLL	Phase Lock Loop
CuDA	Kupfer-Doppelader
LWL	Lichtwellenleiter
PWM	Pulsweidenmoduliert
CMOS	Complementary (Komplementär-) Metallic Oxid Semiconductor Logik
E.A.G.L.E.	Einfach anzuwendender graphischer Layout-Editor
FTW	Frequenz Tuning Word
CLS	Common Language Specification
CTS	Common Type System
FCL	Framework Class Library
UART	Universal Asynchronous Receiver Transmitter
USART	Universal Synchronous and Asynchronous serial Receiver and Transmitter
VDE	Verband der Elektrotechnik
IDE	Integrated Development Environment
WYSIWYG	What you see is what you get

III. Abbildungsverzeichnis

Abbildung 1: Einbindung im Modulsystem

Abbildung 2. Varianten zur Phasendetektion

Abbildung 3. Empfindlichkeit der Phasendetektion am RS-Glied bei 10 MHz

Abbildung 4. Empfindlichkeit der Phasendetektion am D-Flip-Flop bei 15 MHz

Abbildung 5. Wahrheitstabelle und Symbol des D-Flip-Flops

Abbildung 6. Setzverhalten des Flip-Flops

Abbildung 7. MAX9142 mit Spannungsteiler

Abbildung 8. Impulsverkürzer

Abbildung 9. Pegeldiagramm

Abbildung 10. Schmitt-Trigger

Abbildung 11. Schaltplan des digitalen Phasenkomparators

Abbildung 12. Layout

Abbildung 13. Fertiges Layout

Abbildung 14. Endprodukt

Abbildung 15. Programm zur Generierung der FTW

Abbildung 16. Sequentieller Programmablauf

Abbildung 17. Interrupt gesteuerter Programmablauf

Abbildung 18. Nachreglung der Frequenz im Messsystem

Abbildung 19. Empfindlichkeit des Phasenkomparators

IV. Tabellenverzeichnis

Tabelle 1. Empfindlichkeit der Phasendetektion

Tabelle 2. Parameter für 74 HCT 00

1. Einführung

Meine Diplomarbeit entstand im Sommer und Herbst des Jahres 2009 als Abschluss meines Studiums im Fach Elektrotechnik. Im Verlauf meines Studiums hatte ich bereits schwerpunktmäßig Veranstaltungen im Bereich „Digitale Schaltungstheorie und Programmierung“ besucht, so dass die Konstruktion eines digitalen Phasenkomparators und dessen Modifikationen mir als geeignetes Thema erschienen. Die vorliegende wissenschaftliche Arbeit beschäftigt sich in theoretischer wie praktischer Hinsicht mit der Herstellung und Gestaltung einer solchen Schaltung. Aufbauend auf ein bereits bestehendes Sensorsystem bildet die Anfertigung eines digitalen Phasenkomparators den Hauptkomplex und Forschungsschwerpunkt dieser wissenschaftlichen Arbeit.

Grundsätzlich arbeitet das Sensorsystem mit verschiedenen Komponenten und Bauelementen, die für das Detektieren von Längenänderungen bei Lichtwellenleitern eingesetzt werden. An dieser Stelle seien nur der Mikrocontroller oder der Optische Wandler als Bauteile genannt. Dem Leser dieser Arbeit soll ein Überblick über die Konstruktion eines solchen Phasenvergleichers gegeben und grundlegende Zusammenhänge der Digitaltechnik sowie der Softwareentwicklung erläutert werden. Die Zusammenarbeit der verschiedenen Bauteile im Modulsystem und die grundlegenden Eigenschaften des Messverfahrens bilden die Basis, mittels derer dieses komplexe Thema verständlich gemacht werden soll. In den folgenden Kapiteln wird dann beschrieben, welche Entwicklungs- und Konstruktionsaufgaben für den Bau eines solchen Phasenkomparators notwendig sind. Die Fokussierung darauf ist deshalb von Bedeutung, weil jenes Bauelement ein wesentlicher Bestandteil der Signalverarbeitung ist und – auch mit Ausblick auf die Zukunft – weitverbreitende Anwendungsgebiete findet. Denn der Phasenkomparator ist ein Hauptbestandteil der PLL (Phase Lock Loop). In diesen Zusammenhang kann die Übertragungstechnik innerhalb des Richtfunks genannt werden. Aber auch im Bereich von Satelliten-Kommunikationssystemen bestehen Potenzen für die Zukunft.

1.1 Vorbetrachtung

In allgemeiner Hinsicht kann man, wie bereits in der Einleitung geschehen, formulieren, dass der Phasenkomparator universelle Einsatzmöglichkeiten besitzt. Das Modulsystem der Forschungsgruppe Optronik arbeitet gegenwärtig noch mit einem analogen Phasenkomparator (AD8302). Dessen Nachteil besteht jedoch darin, dass bei der Wandlung von analogen zu digitalen Signalen Fehler auftreten können. Diese Fehlerquelle verschwindet durch den Einsatz eines digitalen Phasenkomparators. Andererseits ist die Arbeit an einem digitalen Phasenkomparator nicht abgeschlossen, weil die Aspekte Empfindlichkeit und Auflösung der Phase noch nicht an die Ergebnisse des analogen Komparators heranreichen und einer weiteren Erforschung und Entwicklung bedürfen. Hier liegt der Ausgangspunkt dieser Arbeit: Wie kann die Präzision des Messverfahrens erhöht werden?

Für das Längenmessverfahren im Modulsystem ist es von zentraler Bedeutung, die Phasendifferenz zwischen Eingang und Ausgang des Wellenleiters konstant zuhalten. Das heißt, dass der Phasenkomparator einen optimalen Arbeitspunkt besitzen muss und diesen für das System zur Kalibrierung bereit stellt.

1.2 Aufgabenstellung

Die Aufgabenstellung meiner Diplomarbeit beinhaltet die Konstruktion eines digitalen Phasenkomparators, der für ein optisches Sensorsystem zur Längenänderungsmessung von Lichtwellenleitern in der Forschungsgruppe Optronik benötigt wird. Die grundlegende Arbeitsweise eines digitalen Phasenkomparators – oder auch Phasenvergleichers – beruht darauf, dass er die Aufgabe hat, zwischen zwei Signalen den Phasenunterschied zu detektieren. Das heißt im Konkreten, dass dieser PK prüfen soll, ob ein Signal dem jeweiligen Referenzsignal vor- oder nachsteht. Diese Information wird ausschließlich mittels eines geeigneten, digitalen Ausgangs- oder Binärsignals zu einem Mikrokontroller zugeführt und ausgewertet. Das Ziel einer solchen Analyse soll dazu beitragen, dass zwischen diesen beiden Signalen ein Phasenunterschied von nahezu $\Delta\varphi=0^\circ$ realisiert werden kann. Hinzu kommt die Einbettung im Sensorsystem und die Implementierung oder auch Entwicklung eines geeigneten Programms, welches die Auswertung der Phaseninformation unterstützen soll. Des Weiteren soll beschrieben werden, wie die Komponenten DDS (Direkte digitale Synthese), ATmega 128, Optischer Wandler und verschiedene Übertragungssysteme integriert sind und miteinander arbeiten.

Eine komplette Übersicht der einzelnen Baugruppen im Sensorsystem, die mit dem Phasenkomparator zusammenarbeiten, zeigt die *Abbildung 1*. Das Modulsystem existiert zurzeit in der Version 5 und wird im Moment hauptsächlich als Messsystem zum konventionellen Längenmessverfahren eingesetzt. Das System basiert auf einer einheitlichen Grundplatte (Mainboard) mit maximal acht Steckplätzen für Module. Der Mikrocontroller ATmega 128 der Firma ATMEL arbeitet als zentrale Einheit des Systems. Zwischen den einzelnen Modulen erfolgt die Datenkommunikation auf der Grundlage des SPI-Busses.

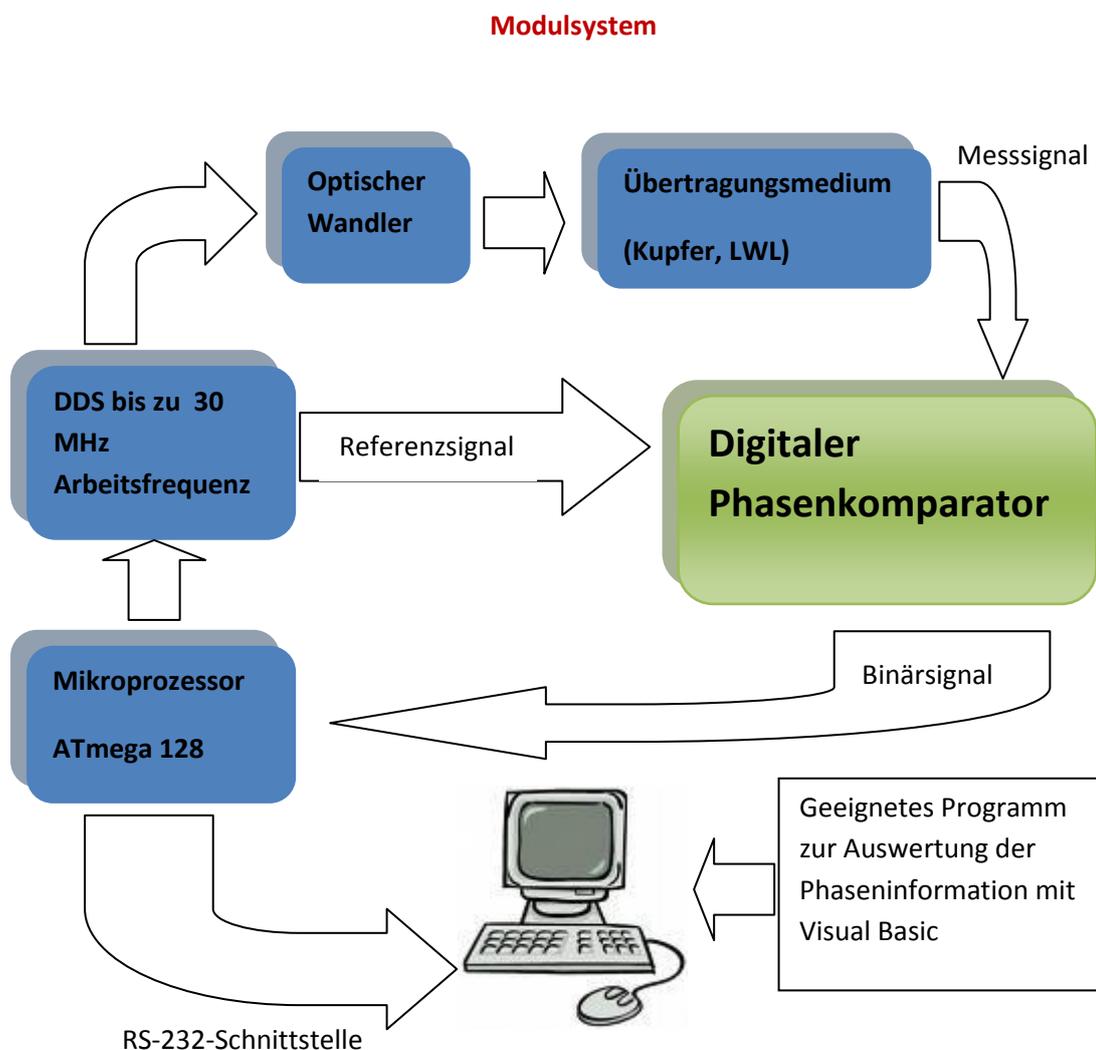


Abbildung 1: Einbindung im Modulsystem

2. Theoretische Ansätze

2.1 Konzept

Am Anfang der Umsetzung und Planung stand ein ausführliches Studium, in dem ich eine Reihe von bereits existierenden Phasenkomparatoren untersuchte. Zur Recherche habe ich mich mit diversen Internetseiten¹ und Fachbüchern auseinandergesetzt. Da in der Übertragungstechnik schon eine Menge unterschiedliche Varianten ihren Einsatz gefunden haben, war es notwendig, deren Unterschiede und Gemeinsamkeiten zu erkennen. Daraus konnte ich für die gegebenen Voraussetzungen verschiedene Ansätze in Betracht ziehen. Dazu analysierte ich anfangs bereits bestehende analoge und digitale Phasendetektoren und deren Funktionsweise. Die *Abbildung 2.* zeigt unterschiedliche Möglichkeiten, auf digitaler Ebene Phasenunterschiede zu erkennen.

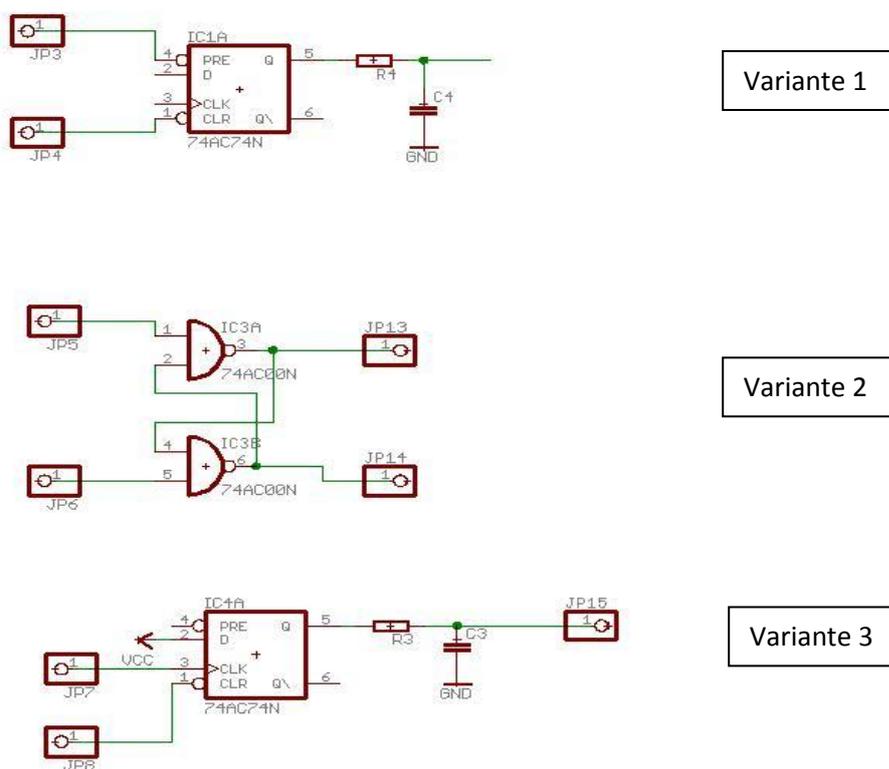


Abbildung 2. Varianten zur Phasendetektion

¹[1] Website <http://www.Mikrocontroller.net>

Wie sich herausstellte, konnte jede dieser Schaltungen genutzt werden, dessen ungeachtet musste noch ermittelt werden, welche dieser Varianten die beste Empfindlichkeit (Auflösung) besitzt. Die Tabelle 1. zeigt die Phasenempfindlichkeit in Grad an, ab wann zuerkennen ist, ob ein Signal vor- oder nachheilt.

Varianten	Auflösung
1.(PRE und CLR)	0,05°
2.(R-S-Glied)	5°
3.(CLR und CLK)	1°

Tabelle 1. Empfindlichkeit der Phasendetektion

Genauere Betrachtungen der Auflösung zeigen die *Abbildungen 3.und 4.* Der mittels Signalgenerator eingestellte Phasenunterschied zweier Signale, die dem Flip-Flop zugeführt werden, können am Ausgang der Schaltung weiter zur Auswertung verwendet werden.

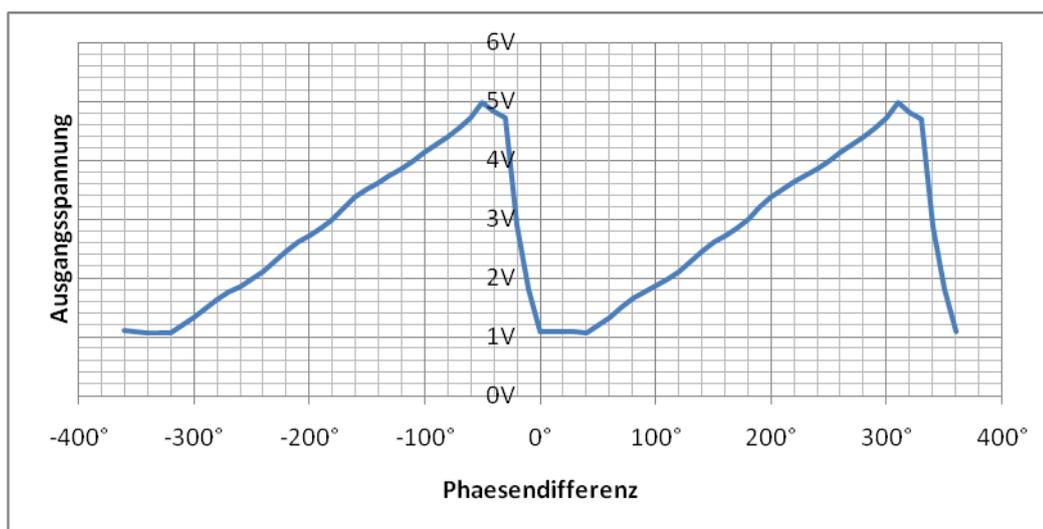


Abbildung 3. Empfindlichkeit der Phasendetektion am RS-Glied bei 10 MHz

Innerhalb der ersten Variante wurden die Eingänge PRE- und CLR zum Setzen und Rücksetzen genutzt, während die weiteren Eingänge D und CLK auf Masse gelegt wurden. Eine weitere Möglichkeit, das D-Flip-Flop zu schalten, zeigt die Variante 3. Hier werden zum Setzen und Rücksetzen die Eingänge CLK und CLR genutzt. Die schlechteste Auflösung hatte hingegen das R-S-Glied mit minimal 5° bei einer Arbeitsfrequenz von 10 MHz. In der Auswertung folgt die Variante 3, die bei einer Frequenz von 15 MHz die Auflösung von 1° erzielte. Beachtliche $0,05^\circ$ bei einer Frequenz von 15 MHz erreichte die erst genannte Variation, die zu weiteren Modifikationen herangezogen wird.

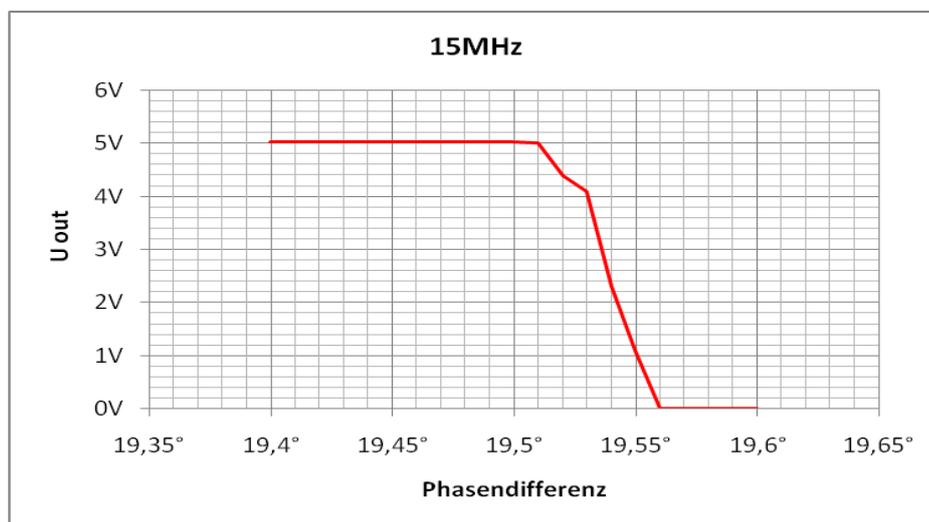


Abbildung 4. Empfindlichkeit der Phasendetektion am D-Flip-Flop bei 15 MHz

2.2 Eigenschaften

Die Voraussetzungen der gegebenen Ansätze basieren auf der Signaltheorie und den Eigenschaften des Übertragungsmediums. Die Grundlage für das Messen der Phasendifferenz beruht darauf, dass ein Signal in ein Medium eingespeist und mit einem Referenzsignal verglichen wird. Das typische Medium, welches im Modulsystem zum Einsatz kommt, ist die Glasfaser, aber auch eine Kupferader kann dafür verwendet werden. Da die Ausbreitungsgeschwindigkeit im Lichtwellenleiter bekannt ist, kann aus den Parametern Phasendifferenz, Frequenz und Phasengeschwindigkeit die Länge des Mediums ermittelt werden. Den erforderlichen Grundlagen für die Wellenausbreitung im Medium, zeigen die nachfolgenden Formeln.

Die Phasengeschwindigkeit in einem Leiter, wird wie folgt berechnet:

$$V = \frac{c}{\sqrt{\epsilon_r * \mu_r}} \quad (2.1)$$

Die Phasendifferenz zwischen Ein- und Ausgang eines Leiters mit der Länge L:

$$\phi = L * \frac{\omega}{V} = L * \frac{2\pi f}{V} \quad (2.2)$$

2.3 Funktionsweise des Phasenkomparators

Ein Phasendetektor oder Phasenvergleichler ist eine Schaltung, welche die Phasen einer Schwingung mit einer in der Phase definierten Referenzschwingung vergleicht und im Falle einer Phasenmodulation die Phasendifferenz als Signal ausgibt. Derartige Phasenvergleichler können analog oder digital ausgeführt sein. Als digitale Phasenvergleichler kommen beispielsweise XOR-Gatter zum Einsatz.

Der einfachste Aufbau eines Phasenvergleichers wird unter anderem mit Flip-Flops realisiert. Die Wahrheitstabelle und das Symbol für solch einen D-Flip-Flop zeigt die *Abbildung 5*. Grundsätzlich werden für die IC Bausteine die CMOS-Technologie verwendet, die heutzutage die meistgenutzte Logikfamilie ist. Die nachfolgende Tabelle präsentiert die hauptsächlichsten Parameter der CMOS-Technologie, die von Bedeutung sind.

Type	z.B. 74 HCT/HC 00
Gatterlaufzeit max.	23 ns
Ausgangsstrom	+/- 4mA
Versorgungsspannung	4,5V – 5,5V(HCT) 2V – 6V (HC)
Typ. statische Stromaufnahme	65 μ A
Hersteller	TI

Tabelle 2. Parameter für 74 HCT 00

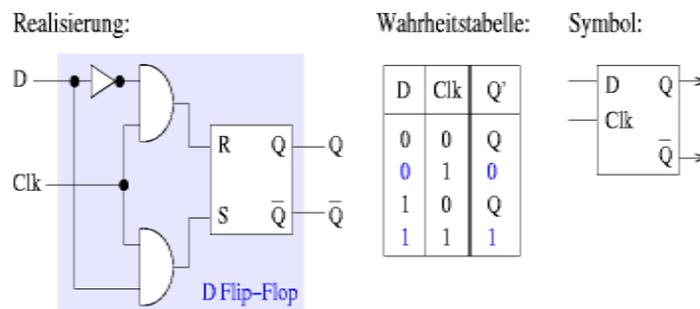


Abbildung 5. Wahrheitstabelle und Symbol des D-Flip-Flops

Das heißt, dass zum Zeitpunkt des Nulldurchgangs des Messsignals das Flip-Flop „gesetzt“ wird. Das verzögerte Referenzsignal, welches in unserem Fall der Oszillatortakt der DDS ist, setzt das Flip-Flop bei Nulldurchgang wieder zurück.

Der Vorteil gegenüber der Lösung mit dem XOR Gatter besteht darin, dass man aufgrund der zwei Ausgänge (P und N) eine präzise Aussage treffen kann, wessen Flanke zuerst das Flipflop geschaltet hat. Eine genauere Betrachtung der Funktion liefert die *Abbildung 6*, mit dem pulswertenmodulierten Ausgangssignal, welches die Information der Phasendifferenz beinhaltet. Diese Rechteckspannung hat nun einen arithmetischen Mittelwert, der je nach Pulsbreite kleiner oder größer ist.

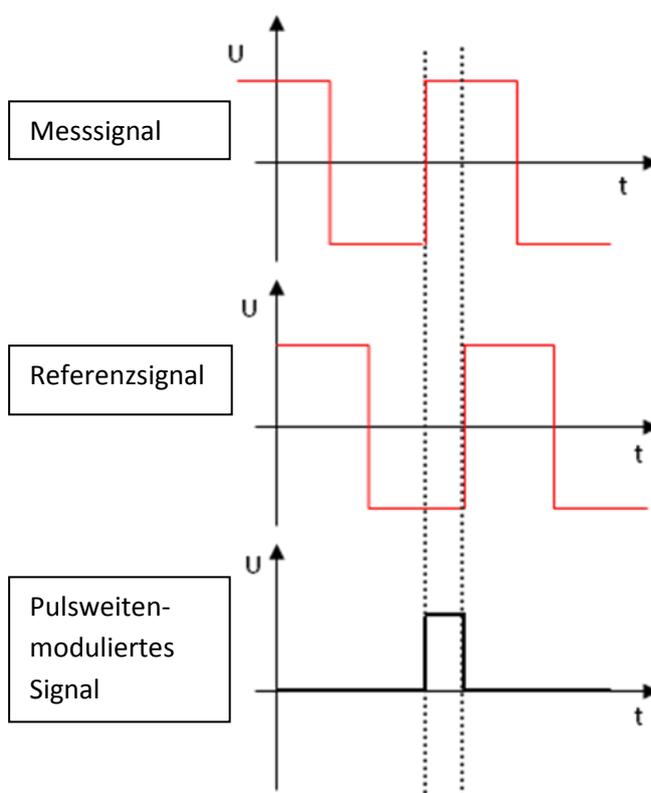


Abbildung 6. Setzverhalten des Flip-Flops

Da die Funktion des Phasendetektors rein digital realisiert wird, kommt keine genauere Betrachtung der Differenz und Linearität, sondern eine möglichst hohe Auflösung der Phase in Augenschein. Diese Auflösung definiert, ab wann ein Phasenunterschied von zwei Signalen detektierbar ist. Somit kann durch die Nachregelung der Frequenz ein Phasenunterschied von nahezu $\Delta\varphi = 0^\circ$ realisiert werden. Dieses Verfahren wird als Frequenz-Tracking¹ bezeichnet. Ein anderes Verfahren für eine konstante Phasendifferenz erlaubt das Phasen-Tracking, wobei hier die Phase nachgeregelt wird. Darüber hinaus führt ein bestimmter Wert (z.B. $\pi/2$) der Phasendifferenz zu einem hinreichenden Ergebnis der Längenmessung.

Durch die nachfolgenden Formeln kann die Länge als Funktion der Frequenz angegeben werden.

$$\Delta\varphi + m2\pi = \frac{n*2*\pi*f*L}{c_0} \quad (3.1)$$

Die Länge ergibt sich dann als Funktion der Frequenz:

$$L(f, m) = \frac{c_0 (\Delta\varphi + M*2*\pi)}{n*2*\pi} * 1/f \quad (3.2)$$

¹[1] Dokumentation Modulsystem Optronik

3. Aufbau des digitalen Phasenkomparators

3.1 Modifizierungen

Um eine Bereitstellung der Funktion des Phasenkomparators für das Modulsystem gewährleisten, mussten mehrere Modifikationen vorgenommen werden. Dafür wurden zuerst die Voraussetzungen und die Eigenschaften geprüft, die für ein reibungsloses Arbeiten der einzelnen Bauelemente nötig waren. Anfangs mussten die beiden Signale, die dem Phasenkomparator zugeführt werden, auf einen bestimmten Spannungspegel gebracht werden. Des Weiteren wurden für die beiden Eingänge des D-Flip-Flops Impulsverkürzer verwendet, die für ein schnelles Schalten des Gatters sorgen sollen. Das pulswidenmodulierte Signal am Ausgang des Flip-Flops muss so umgewandelt werden, dass es von einem Mikrocontroller erkannt wird und zur Auswertung weiter verarbeitet werden kann. Dieses PWM-Signal wird mittels eines Integrators in ein Gleichspannungssignal umgewandelt und anschließend von einem Schmitt-Trigger zu einem Binärsignal umgeformt.

3.1.1 Line Receiver

Der Line Receiver (MAX9142) arbeitet als Komparator, der die Signale vom optischen Wandler auf einen bestimmten Pegel umwandelt. Diese Komparatoren (Vergleicher) sind Bauelemente, welche zwei Eingangsspannungen miteinander vergleichen. Solange die Differenz negativ ist, steht der Ausgang auf LOW. Wenn sich dagegen die Differenz als positiv herausstellt, springt der Ausgang auf HIGH. Es handelt sich dabei praktisch um einen 1-Bit AD-Wandler. Die beiden Signale haben eine Größenordnung von ungefähr 200 mV Spitze-Spitze, die für die Weiterverarbeitung auf das 10-fache verstärkt werden müssen. Um diese Verstärkung zu erreichen, muss mittels Spannungsteiler der Offset auf 2V gebracht werden. Die *Abbildung 7.* zeigt die ausführliche Beschaltung des MAX9142 mit Spannungsteiler.

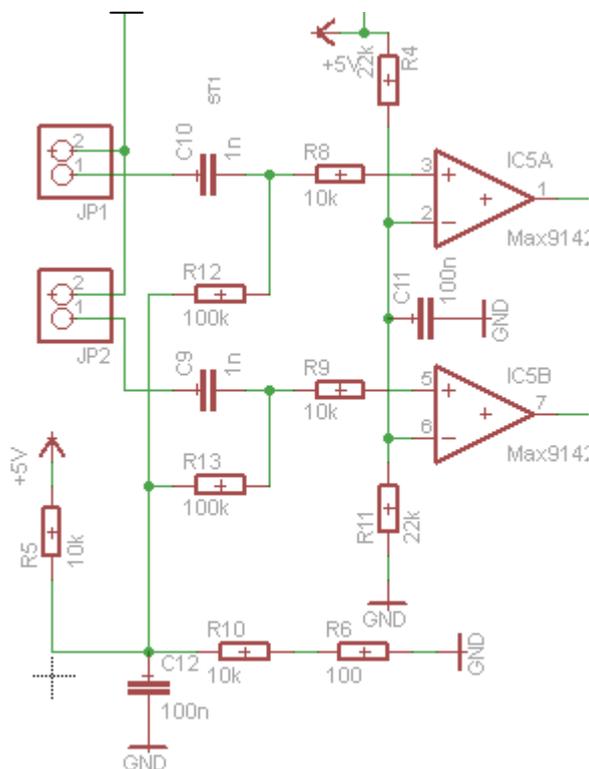


Abbildung 7. MAX9142 mit Spannungsteiler

3.1.2 Impulsverkürzer

Gelegentlich ist es notwendig, Impulse mit vorgegebener Dauer zu verkürzen. So ist z.B. zum Ansteuern des 74HCT74 ein möglichst kurzer Impuls erwünscht. In diesem Fall lässt sich eine Schaltung nach Abbildung 8. anwenden. Wie dargestellt wurden für die Setzsingale Impulsverkürzer benutzt, die eine schärfere Schaltoberfläche des Flip-Flops realisieren. Die dem Negator vorgeschalteten Gatter dienen als Verzögerungsglieder und sorgen für einen hinreichend langen Ausgangsimpuls. Der invertierende Ausgang des Impulsverkürzers liefert einen L-Impuls. Mit diesen Impulsen kann ein D-Flipflop gesetzt bzw. rückgesetzt werden.

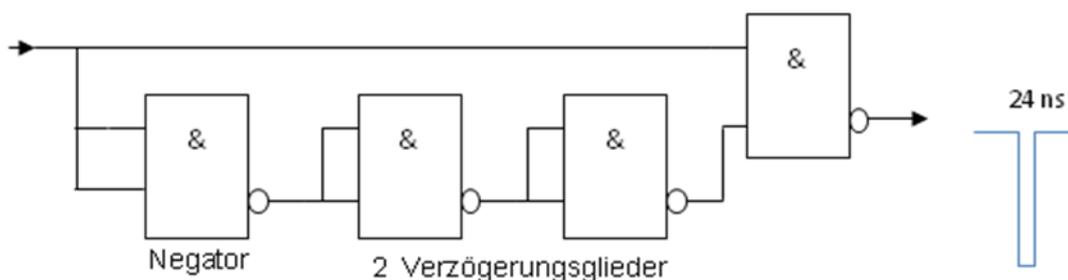


Abbildung 8. Impulsverkürzer

Oft werden an die Impulsverkürzung keine so extremen Forderungen gestellt. Aber für eine exakte Genauigkeit der Phasenmessung ist es von großer Bedeutung, dass die Impulse im Nanosekundenbereich liegen. Die präzise Übertragung von Impulsen im Nanosekundenbereich ist bezüglich der Verdrahtung bzw. Leitungsführungen nicht ganz problemlos.

3.1.3 Integrator

Die meisten Mikrocontroller haben keine DA-Wandler integriert, da diese relativ aufwändig sind. Allerdings kann man mittels eines PWM-Ausgangs auch eine DA-Wandlung vornehmen und eine Gleichspannung bereitstellen. Wird ein PWM-Signal über einen Tiefpass gefiltert (geglättet), entsteht eine Gleichspannung mit Wechselanteil, deren Mittelwert dem des PWM-Signals entspricht und dessen Wechselanteil von der Beschaltung abhängig ist. Nun bleibt das Problem der Dimensionierung des Tiefpasses. Man kann einen RC-TP zum Integrieren benutzen, wenn man die Grenzfrequenz klein gegen die PWM-Frequenz wählt.

Die Grenzfrequenz errechnet sich über:

$$f_c = \frac{1}{2 \pi R \cdot C} \quad (3.3)$$

Bei der Pulsweitenmodulation wird bei fester Grundfrequenz die Ein- und Ausschaltzeit eines Rechtecksignals variiert. Das Verhältnis $t_{ein} / (t_{ein} + t_{aus})$ bezeichnet man als Tastverhältnis. Das Tastverhältnis ist eine Zahl zwischen 0..1. Wie aus den nachfolgenden Formeln² zu erkennen ist, gilt für den Mittelwert der Spannung mit der Periode $t_{ein} + t_{aus} = T$ folgender Ansatz:

$$U_m = \frac{1}{T} \int_0^T u(t) dt = \frac{1}{T} \int_0^{t_e} U_{ein} dt + \frac{1}{T} \int_{t_{ein}}^T U_{aus} dt \quad (3.4)$$

$$U_m = U_{aus} + (U_{ein} - U_{aus}) \cdot \frac{t_{ein}}{t_{ein} + t_{aus}} \quad (3.5)$$

²[2] <http://www.mikrocontroller.net>

U_{aus} ist dabei üblicherweise 0V, U_{ein} die Betriebsspannung V_{CC} , z.B. 5V. Deshalb kann man vereinfacht schreiben:

$$U_m = V_{CC} \cdot DC \quad (3.5)$$

3.1.4 Schmitt-Trigger

Das gemittelte Gleichspannungssignal vom Integrator wird dem Schmitt-Trigger zugeführt und dementsprechend gewandelt, so dass es zur Auswertung dem Mikrokontroller dienen kann. Ein Schmitt-Trigger hat einen Eingang und einen Ausgang und liefert abhängig vom Eingangspegel immer einen wohl definierten Ausgangspegel. Dabei gilt stets:

- Am Ausgang liegt HIGH an, wenn der Pegel am Eingang eine Spannung U_H überschreitet.
- Am Ausgang liegt LOW an, wenn der Pegel am Eingang eine Spannung U_L unterschreitet.
- Dabei wird der bisherige Ausgangspegel aufrechterhalten, wenn sich der Eingangspegel zwischen U_L und U_H befindet (Hysterese)
- Der Übergang von LOW auf HIGH bzw. von HIGH auf LOW erfolgt stets mit steiler Flanke.

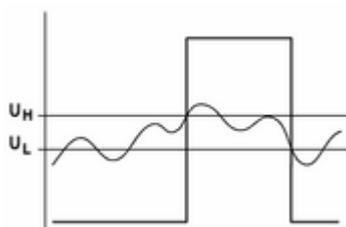


Abbildung 9. Pegeldiagramm

Dieses Verhalten kann man beispielsweise ausnutzen, um mittels Schmitt-Trigger ein verrauschtes digitales Signal wieder aufzufrischen. Ebenso müssen mechanische Taster bzw. Relaiskontakte entprellt werden, wenn sie digitale ICs ansteuern sollen, besonders wenn sie Taktsignale generieren sollen. Die dargestellte Übertragungskennlinie (Abbildung 10.) nennt man Spannungshysterese oder Schalthysterese. In ihr wird definiert ab welcher Eingangsspannung die Ausgangsspannung auf die maximale Ausgangsspannung $U_{A \max}$ bzw. die minimale Ausgangsspannung $U_{A \min}$ springt. Bei Erhöhung der Eingangsspannung werden die Linien auf der waagerechten Achse länger!

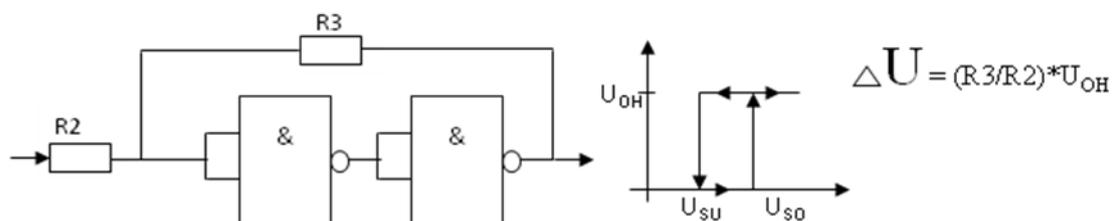


Abbildung 10. Schmitt-Trigger

3.2 Eagle-Layout-Editor

Der EAGLE Layout Editor ist ein einfach zu benutzendes, aber dennoch leistungsfähiges Werkzeug für die Entwicklung von Leiterplatten. Der Name EAGLE ist ein Akronym und steht für Einfach Anzuwendender Grafischer Layout Editor

Das Programm besteht aus drei Haupt-Modulen:

- Layout-Editor
- Schaltplan-Editor
- Autorouter.

Diese Komponenten sind unter einer einheitlichen Benutzeroberfläche zusammengefügt. Daher ist es nicht notwendig, Netzlisten zwischen Schaltplan und Layout zu konvertieren. Die Allgemeinen Programm Eigenschaften (Professional Edition) lauten wie folgt:

- Echtzeit-Forward-und-Back-Annotation
- kontextsensitive Hilfe-Funktion
- kein Hardware-Kopierschutz
- mehrere Fenster für Platine, Schaltplan und Bibliothek
- leistungsfähige User Language
- integrierter Text-Editor
- verfügbar für Windows, Linux und Mac

Die grundlegenden Schritte beim Zeichnen eines Schaltplans mit EAGLE sind:

- Platzieren der Schaltplan-Symbole
- Busse zeichnen
- Netze zeichnen
- Objekte verschieben und editieren

Nach Fertigstellung des Schaltplans (Abbildung 11) sollten ein *Electrical Rule Check* (ERC) durchgeführt werden. Diese Prüfung findet Fehler wie

- Offene Eingangs-Pins
- Netze, die an keinem Pin hängen
- Verbundene Ausgänge

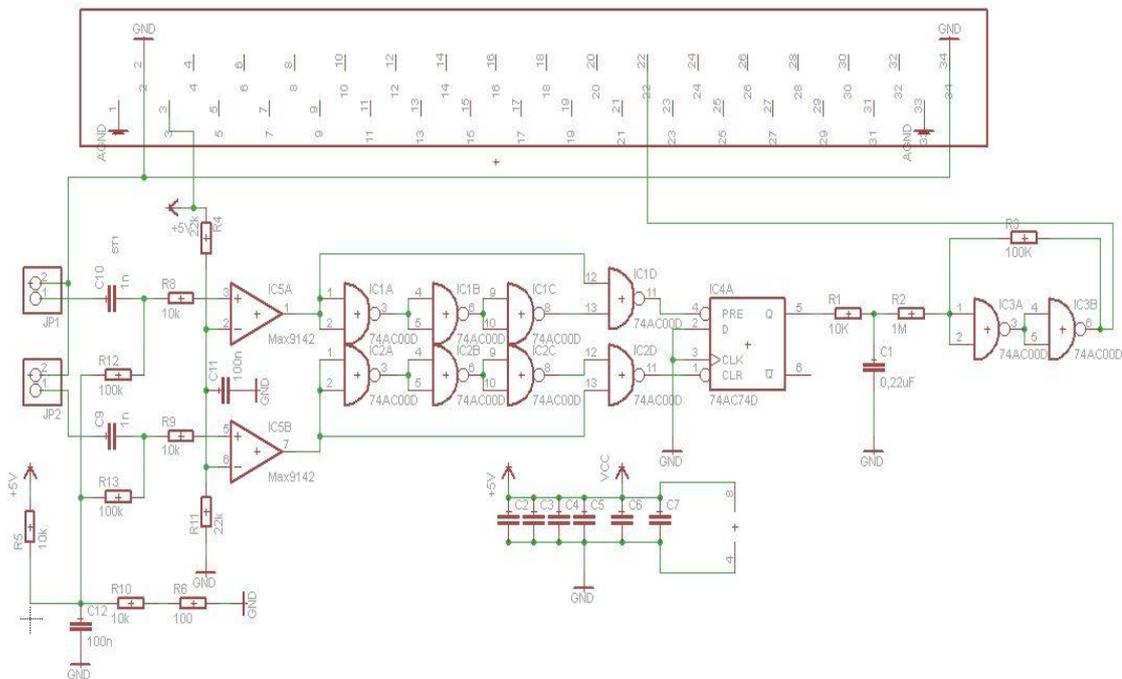


Abbildung 11. Schaltplan des digitalen Phasenkomparators

Aus einer Schaltung eine Platine anzulegen, ist mit EAGLE sehr einfach. Der Board-Befehl öffnet ein neues Fenster, in dem alle Bauteile neben einer leeren Platine platziert sind. Alle in der Schaltung definierten Netze werden als Luftlinien (Gummibänder) dargestellt. (Abbildung 12.)

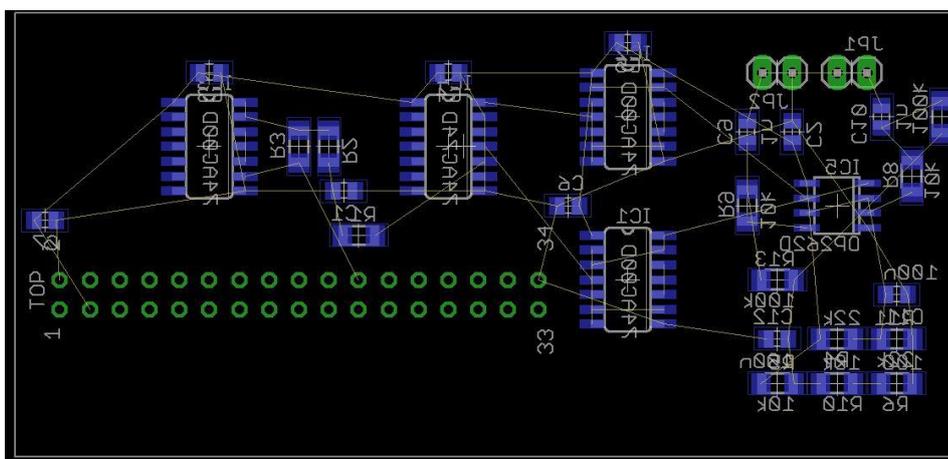


Abbildung 12. Layout

Mit dem Move-Befehl kann man jedes einzelne Bauteil zur gewünschten Stelle bewegen. Es können auch Objektgruppen gemeinsam bewegt werden. Die rechte Maustaste rotiert das selektierte Bauteil oder die Gruppe. Der Ratsnest-Befehl berechnet wieder die kürzesten Luftlinien. Mit dem Route-Befehl kann man die Leitungen per Hand verlegen. Man klickt einfach eine Luftlinie an, stellt den Winkel mit der rechten Maustaste ein, und wählt z.B. mit der mittleren Maustaste den Layer für die Leiterbahn. Durchkontaktierungen entstehen automatisch, wo sie erforderlich sind.

Wenn das Routen erfolgreich abgeschlossen wurde, kann mit GND, also die Masse, eine Fläche gelegt werden. Dazu muss man ein "Polygon" rund um die Leiterplatte zeichnen und ihm mit "Name" den Namen GND zuordnen. In der Abbildung 13. wird das fertige Layout des Schaltkreises dargestellt.

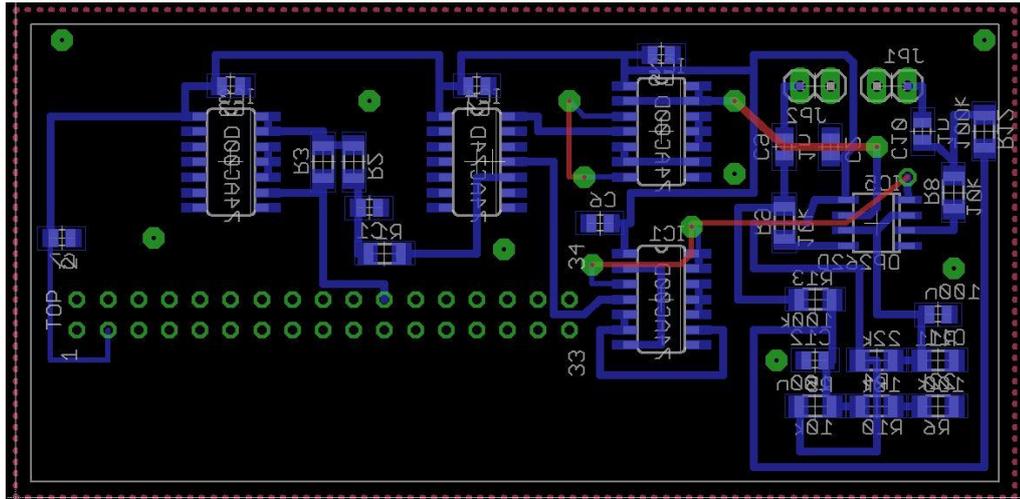


Abbildung 13. Fertiges Layout

3.3 Konstruktion

Das entworfene Layout kann mit einem Laser- oder Tintenstrahldrucker gespiegelt auf eine Folie oder Papier gedruckt werden. Die Papierdicke ist bei feinen Leiterbahnen von enormer Bedeutung. Empfehlenswert ist es, immer die höchste Qualität des Druckes einzustellen, damit der Kontrast möglichst groß wird. Nach dem das Layout gedruckt wurde, erfolgt als zweiter Schritt die Belichtung. Als Basismaterial verwendet man kupferbeschichtete Platinen. Die Kupferschicht jener Platinen ist in der Regel wenige 10 um (tausendstel Millimeter) dick. Diese Kupferschicht ist mit einer dünnen Schicht lichtempfindlichem Lack versiegelt. Zum Belichten wird ein UV-Belichtungsgerät benutzt, anhand dessen man unterschiedliche Zeiten (ca. 3-4 min) einstellen kann. Die belichtete Platine gibt man daraufhin in ein Ätzbad, welches mit einer Temperatur von 30 C° vorgeheizt wird. In dieser speziellen Wanne wird die Platine ungefähr 15 Minuten geätzt. Den Abschluss dieses Prozesses bilden das Spülen und Abtrocknen der Platine. Anschließend erfolgt das Bestücken und Löten der Leiterplatte. Anhand des Bestückungsplanes werden die Bauelemente aufgesetzt und mit dem HandlötKolben verlötet. Danach erfolgt die Inbetriebnahme der Baugruppe. Das fertige Endprodukt zeigt die Abbildung 14.

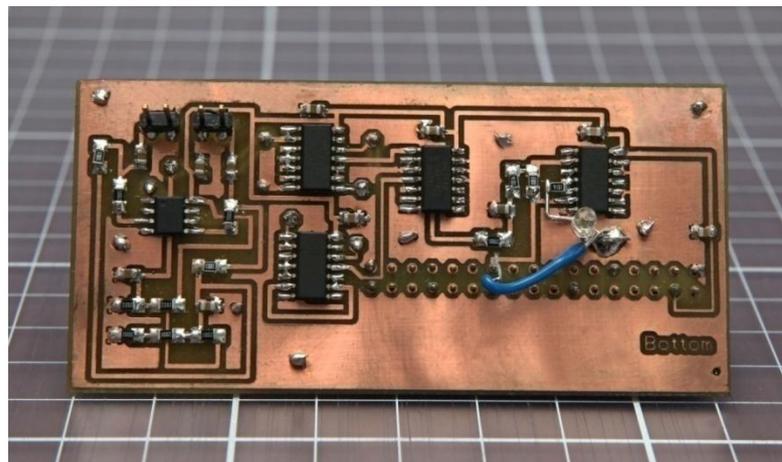


Abbildung 14. Endprodukt

4. Implementierung der Software

4.1 Visual Basic

Eine vollständig objektorientierte Programmiersprache ist Visual Basic. Es dient der Entwicklung von Windows-Forms- und konsolenbasierten lokalen Anwendungen sowie von Windows-Diensten, leistungsfähigen Datenbankapplikationen oder Server- und Clientseitigen webgestützten Applikationen. Visual Basic .NET ist ein Bestandteil des .NET Frameworks (DOTNET). Das .NET Framework bildet gleichzeitig die Grundlage für die Ausführung der unter VB.NET entwickelten Applikationen. Das .NET Framework ist eine relativ neue Programmierplattform von Microsoft für Windows Betriebssysteme. Das Visual Basic eine einfach zu erlernende Sprache ist, hat sich im Nachhinein als ihr historisch wichtigster Vorteil herausgestellt. Die Sprache ist bewusst an die englische Sprache angelehnt und benutzt Wörter anstelle von Symbolen. Aus genau diesem Grund bevorzugen jedoch einige Programmierer C#, da der Leistungsumfang dem von VB.NET nahezu gleich ist, die Sprache jedoch teilweise kompaktere Formulierungen ermöglicht.

Die wesentlichsten Komponenten sind:

- Sprachcompiler für die Programmiersprachen C++, C#, J#, Visual Basic
- .NET Framework SDK (Klassenbibliotheken, Hilfe, Beispiele)
- .NET Framework Redistributable (Laufzeitumgebung)
- WYSIWYG Entwicklungsumgebung Visual Studio

Das .NET Framework ermöglicht die flexible Zusammenarbeit der implementierten Sprachen, u.a. durch den Aufruf von Programmcodes, die in einer anderen Sprache existieren sowie durch eine Vererbung von Klassen, die in einer anderen Sprache entwickelt wurden.

4.1.1 Visual Basic Eigenschaften

Zwei Aspekte sind für das Funktionieren der Programmiersprache elementar: die Basis für diese Sprachintegration ist einerseits die Zwischensprache MSIL und andererseits die so genannte Common Language Spezifikation (CLS).

Das Regelwerk für Compiler ist die CLS. Innerhalb des Regelwerkes wird festgelegt, wie die Umsetzung von sprachspezifischen Konzepten in die MSIL erfolgen muss. Der Kern der CLS ist das Common Type System (CTS), das ein einheitliches System von Datentypen definiert.

Durch die CLS ist es unter anderem jederzeit möglich, weitere Sprachcompiler auch von Drittanbietern in das .NET Framework zu integrieren. Derzeit existieren mehr als 30 weitere Sprachcompiler die MSIL Code erzeugen, u.a. PHP Sharp, Prolog.Net, Delphi.Net, Pearl .Net, NETCOBOL.

Die .NET Framework Class Library (FCL) ist eine sehr umfangreiche Klassenbibliothek die von allen .NET Sprachen aus genutzt werden kann. Dies vermindert den Lern- und Umstellungsaufwand beim Wechsel auf eine andere Sprache enorm. Die FCL ist implementiert als eine Reihe von DLLs. Selbstverständlich ist auch jederzeit der Zugriff auf System und Fremd-DLL's möglich. Weil eine bessere Strukturierung von Vorteil ist, sind die Klassenbibliotheken der FCL in Namespaces (Namensräumen) organisiert.

4.1.2 Generierung der Frequenzwörter

Die so genannten Klassen bilden die Basis der Applikationsentwicklung unter VB.NET. Es ist nicht möglich, Datenstrukturen oder ausführbaren Code außerhalb von Klassenstrukturen zu erzeugen. Eine Klassenstruktur wird Die Eröffnung der Klassenstruktur geschieht mit dem Schlüsselwort „Class“. Es folgt der Klassennamen, während der Abschluss mit „End Class“ vollzogen wird.

Jede Klasse enthält mindestens eine Konstruktor- und genau eine Destruktormethode. Sofern diese Methoden nicht entwicklerdefiniert sind, werden sie von der allgemeinen Basisklasse vererbt. Darüber hinaus können solche Klassen folgende Datenstrukturen enthalten:

- Konstanten unveränderliche, nach außen nicht sichtbare Datenstrukturen
- Variablen veränderliche, nach außen nicht sichtbare Datenstrukturen
- Datenfelder veränderliche, nach außen sichtbare Datenstrukturen
- Eigenschaften veränderliche, nach außen sichtbare Datenstrukturen mit Methoden zum Lesen (Get) und Schreiben (Set) der Dateninhalte
- Methoden ausführbarer Code, der ein Verhalten definiert
- Eventhändler ausführbarer Code, der das Verhalten bei Eintreten eines bestimmten Ereignisses (Events) bestimmt

Eine Sonderform von Klassenbibliotheksobjekten stellen Forms und Controls dar.

Die Forms sind die Basis der Entwicklung von Windows-Applikationen. Die Abbildung 15. zeigt die Form1 mit ihren einzelnen Aufgaben für die Generierung der Frequenzwörter. Sie bilden Container und Ausgabefenster für die Aufnahme visueller Objekte. Die Controls dagegen sind zumeist visuelle Objekte, die sich im Microsoft Visual Studio per Drag&Drop instanzieren lassen. Sie sind über ein „Toolbox“ genanntes Fenster des Visual Studio zu erreichen.

Die Eigenschaften von Forms und Controls können mit Hilfe des Eigenschaftenfensters zum Entwicklungszeitraum leicht angepasst werden. Die Umsetzung in den entsprechenden Programmcode erfolgt durch die IDE. Das heißt, für die Berechnung eines neuen Frequenzwortes wird kontinuierlich ein Datenfeld abgefragt, welches für voreilend oder für nacheilend einen bestimmten Zustand anzeigt.

Als erstes musste dafür im Programm eine RS232 Schnittstelle implementiert werden, die für das Senden und Empfangen von Signalen zuständig ist. Für das neue Frequenz-Tuning-Wort, welches gebildet werden muss, um die Frequenz nach zu regeln, wird vor Beginn der Messung ein Frequenzhub eingestellt. Dieser Hub ermöglicht eine Auswahl (1Hz-1Mhz) von Frequenzen, die eine kontinuierliche Nachregelung der Phase realisieren. Das FTW besteht aus 4 Byte, wobei für die Ansteuerung der DDS (AD9834) ein Byte (31 hex) extra an den Mikrocontroller geschickt werden muss. Die Gleichung 4.1 dient als Grundlage dieser Berechnung.

Frequenz-Tuning-Word:

$$\text{FTW} = \text{Frequenz} * 2^{28} / \text{Clock DDS} \quad (4.1)$$

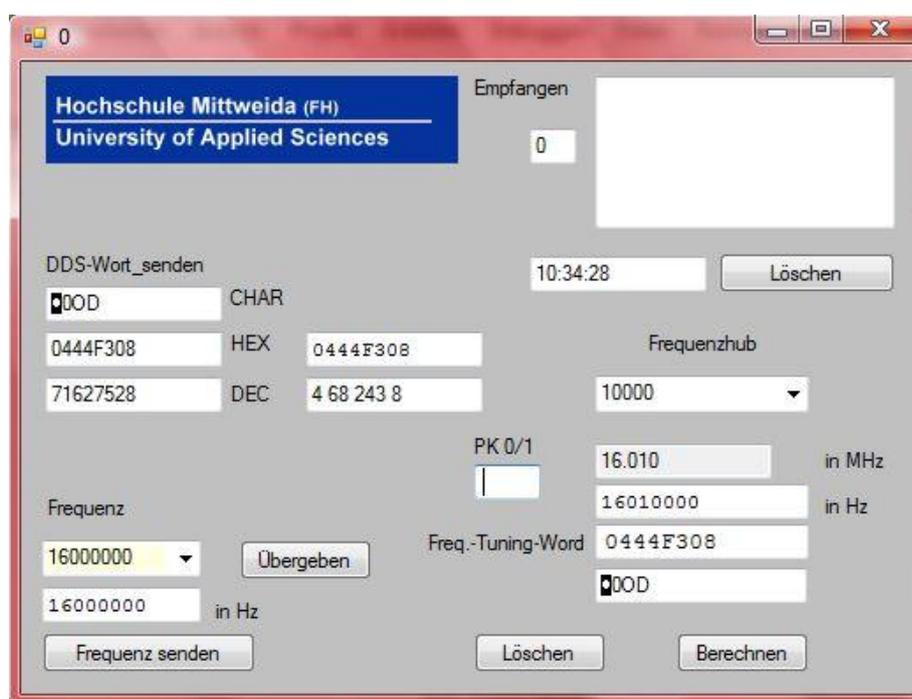


Abbildung 15. Programm zur Generierung der FTW

Weil bei jeder Messung eine Vielzahl an Daten anfällt, muss gleichzeitig eine Textdatei abgespeichert werden. Für die Auswertung kann diese Datei dann herangezogen werden. In dieser Datei findet sich die Frequenz und die aktuelle Zeit wieder, welche in Variablen hinterlegt werden. Diese Variablen sind reservierte Speicherbereiche zur Aufnahme von Daten. Sie besitzen:

- einen Namen,
- einen Gültigkeitsbereich und eine damit verbundene Lebensdauer sowie
- einen Datentyp.

Die Variablen entstehen mit der Deklaration. Genau genommen sind Variablen unter Visual Basic .Net Klassenobjekte. Sie besitzen neben den genannten Eigenschaften auch Methoden. Ihre Handhabung gleicht aber der Vorgehensweise in der strukturierten Programmierung. Variablennamen sind grundsätzlich frei wählbar. Allerdings gelten unter Visual Basic .NET folgende Beschränkungen:

- Variablennamen müssen mit einem Buchstaben anfangen
- Sie dürfen keine Leerzeichen, oder eines dieser Sonderzeichen enthalten: . , ; \$! &
- Variablennamen dürfen in einem Gültigkeitsbereich nur einmal vorkommen.
- Variablennamen dürfen nicht Name eines der Schlüsselwörter sein.

So kann z.B. eine Variable nicht "If" oder "For" heißen, da diese Befehle schon eine für Visual Basic feste Bedeutung besitzen. Variablen sind grundsätzlich nur innerhalb ihres Gültigkeitsbereiches verfügbar. Außerhalb des Gültigkeitsbereiches kann eine Variable mit gleichem Namen deklariert werden. Ihre Inhalte beeinflussen sich gegenseitig nicht. Wird der Gültigkeitsbereich einer Variablen verlassen, endet in der Regel auch ihre Lebensdauer. Ihr Inhalt verfällt. Ausgenommen davon sind die mit dem Schlüsselwort „Static“ deklarierten Variablen. Werden Variablen über den Bereich einer Klasse hinaus gültig gemacht (Friend, Public), so spricht man unter Visual Basic .NET auch von einem Datenfeld.

4.2 AVR-Studio

Das AVR-Studio ist eine kostenlose Entwicklungsumgebung (IDE) für die Assembler-Programmierung der AVR-Mikrocontroller von Atmel. Es umfasst die folgenden Komponenten: eine Projektverwaltung, ein Editor und ein Debugger, der mit dem integrierten Simulator genutzt werden kann. Er funktioniert jedoch auch mit einem JTAG-Adapter oder einem In Circuit Emulator. Mittels des AVR Studio besteht darüber hinaus die Möglichkeit, in der Programmiersprache C zu arbeiten. Dazu muss vor der Installation des AVR Studio der GNU C Compiler für AVR's WinAVR installiert werden. Nachdem die Installation des AVR Studios durchgeführt wurde, soll dieses Tutorial die ersten Schritte in der Assembler Programmierung für den ATmega128 mit AVR Studio 4 aufzeigen. Insbesondere wird das Übertragen von kompiliertem Code auf das Modulsystem gezeigt. Der erste Schritt ist das Erstellen eines neuen Projekts. Der Typ des neuen Projekts ist Atmel AVR Assembler. Im darauf folgenden Dialogfeld wird die Debug Umgebung ausgewählt. In unserem Fall ist JTAGICE_MKII und ATmega128 die korrekte Einstellung. Man unterscheidet zwischen zwei verschiedenen Methoden, um ein Mikrocontroller-Programm zu schreiben, und zwar völlig unabhängig davon, in welcher Programmiersprache das Programm geschrieben wird.

4.2.1 Sequentieller Programmablauf

Bei dieser Programmiermethode (*Abbildung 16.*) wird eine Endlosschleife programmiert, welche im Wesentlichen immer den gleichen Aufbau hat. In unserem Fall wird ein Eingang des Mikrokontrollers ständig abgefragt und gibt die Ergebnisse dieser Abfrage für die projektorientierte Programmierung am Ausgang wieder aus. Es handelt sich sozusagen um eine Durchkontaktierung im Prozessor, da die eigentliche Verarbeitung der Frequenz-Tuning-Words im übergeordneten PC stattfindet.

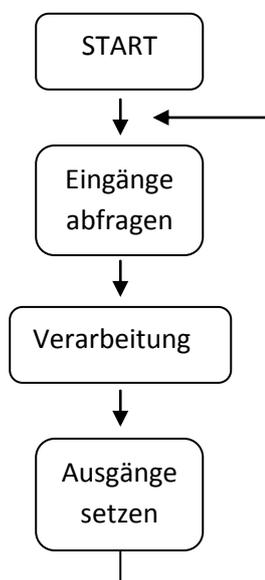


Abbildung 16. Sequentieller Programmablauf

Eine andere, Anwendung findende Methode ist der Interrupt-gesteuerte Programmablauf. Bei dieser Methode werden beim Programmstart zuerst die gewünschten Interruptquellen aktiviert. Anschließend wird eine Endlosschleife aktiviert, in der Aufgaben realisiert werden können, die nicht zeitkritisch sind. Wenn ein Interrupt ausgelöst wird, so wird automatisch die zugeordnete Interruptfunktion ausgeführt (*Abbildung 17*). Dieser Programmablauf wäre eine Alternative zur derzeitigen Methode, um das Tuning-Frequenz-Word zu generieren.

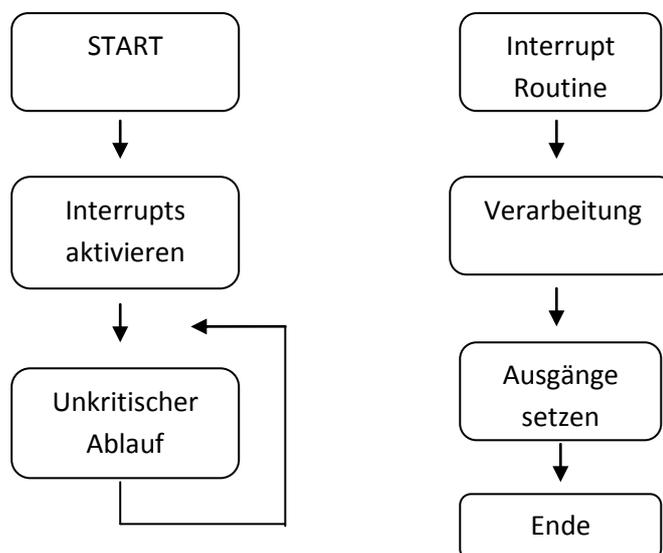


Abbildung 17. Interrupt gesteuerter Programmablauf

4.2.2 AVR-Controller

Die AVR-Controller verfügen über eine Vielzahl von Registern. Die meisten davon sind die so genannten Schreib-/Leseregister. Das heißt, das Programm kann die Inhalte der Register sowohl auslesen als auch beschreiben. Jene Register haben einen besonderen Stellenwert bei den AVR Controllern. Sie dienen dem Zugriff auf die Ports und die Schnittstellen des Controllers. Wir unterscheiden zwischen 8-Bit und 16-Bit Registern. Einzelne Register sind bei allen AVRs vorhanden, andere wiederum nur bei bestimmten Typen. So sind beispielsweise die Register, welche für den Zugriff auf den UART notwendig sind, selbstverständlich nur bei denjenigen Modellen vorhanden, welche über einen integrierten Hardware UART bzw. USART verfügen. Die Namen der Register sind in den Headerdateien zu den entsprechenden AVR-Typen definiert. Dazu muss man den Namen der controllerspezifischen Headerdatei nicht kennen. Es reicht aus, die allgemeine Headerdatei *avr/io.h* einzubinden.

Jeder AVR implementiert eine unterschiedliche Menge an GPIO-Registern (GPIO - General Purpose Input/Output). Diese Register dienen dazu:

- einzustellen, welche der Anschlüsse ("Beinchen") des Controllers als Ein- oder Ausgänge dienen.
- bei Ausgängen deren Zustand festzulegen.
- bei Eingängen deren Zustand zu erfassen.

Die Busleitung 22 dient für den Eingang des Mikrocontrollers (PA1), zur Erfassung des Binärsignals des Phasenkomparators. Das Ausgangssignal, welches wiederum zur Weiterverarbeitung für das übergeordnete System (PC) verwendet wird, muss über den USART geschickt werden. Mittels GPIO werden digitale Zustände gesetzt und erfasst, d.h., die Spannung an einem Ausgang wird ein- oder ausgeschaltet. An einem Eingang wird erfasst, ob die anliegende Spannung über oder unter einem bestimmten Schwellwert liegt. Alle Ports der AVR-Controller werden über Register gesteuert. Dazu sind jedem Port drei Register (DDRx, PINx, PORTx) zugeordnet. Zuerst muss die Datenrichtung der verwendeten Pins bestimmt werden. Um dies zu erreichen, wird das Datenrichtungsregister des entsprechenden Ports beschrieben. Für jeden Pin, der als Ausgang verwendet werden soll, muss dabei das entsprechende Bit auf dem Port gesetzt werden. Soll der Pin als Eingang verwendet werden, muss das entsprechende Bit gelöscht sein. Der ausführliche Programmcode ist auf der DVD im Anhang zu finden.

5. Stand der Arbeit

Im Verlauf der letzten 12 Monate hat meine Forschungstätigkeit einige konkrete Ergebnisse hervorgebracht. Diese Ergebnisse werden im folgenden Kapitel dargestellt und erläutert. Demgegenüber soll durch die Kapitelüberschrift „Stand der Arbeit“ darauf hingewiesen werden, dass die Forschung an einem digitalen Phasenkomparator keineswegs abgeschlossen ist, sondern gegenwärtig ein gewisses Niveau erreicht hat, welches zukünftig weiter optimiert werden kann. Dies äußert sich darin, dass solch ein Phasenkomparator zwar im Messsystem zuverlässig arbeitet, es aber noch einer gewissen Steigerung der Empfindlichkeit bzw. Genauigkeit der Phasenmessung bedarf. Eine genauere Betrachtung des Messverfahrens im Modulsystem mit dem digitalen PK wird im Kapitel 5.1 „Ergebnisse“ näher dargestellt. Um so eine Optimierung der Auflösung zu erreichen, müssten weitere Modifikationen der Hardware sowie der Softwareimplementierung erfolgen. Mein Ziel der Arbeit war es, eine Grundlage zu schaffen, dass sowohl die Software als auch die Hardware verlässlich miteinander arbeiten. Erreichen konnte ich dies in dem ich ausführlich entsprechende Konzepte erforscht und ausgewertet habe. Anhand dieser Basis war es mir dann möglich, die Hardware sowie die dazugehörige Software zu entwickeln.

5.1 Ergebnisse

Die Ergebnisse dieser Arbeit sind in einem gewissen Sinne zweigeteilt und lassen sich folgendermaßen charakterisieren: einerseits konnten Fehlerquellen ausgeschaltet werden. Beispielsweise fällt die DA-Wandlung weg. Andererseits müssen als positive Entwicklungen folgende Aspekte Erwähnung finden: der Phasenregelkreis arbeitet zuverlässig und konstant, die Reproduzierbarkeit der Messdaten ist in ausreichendem Maße gewährleistet und die Temperaturabhängigkeit ist gegeben. Im nachfolgenden Diagramm (Abbildung 18) ist ersichtlich, dass der Regelkreis mit dem digitalen Phasenkomparator im Einklang mit dem Signalgenerator und dem Mikrocontroller arbeitet. Für die folgenden Einstellungen der Parameter wurde die Frequenz auf 16 MHz gesetzt und der Frequenzhub auf 100 KHz eingestellt.

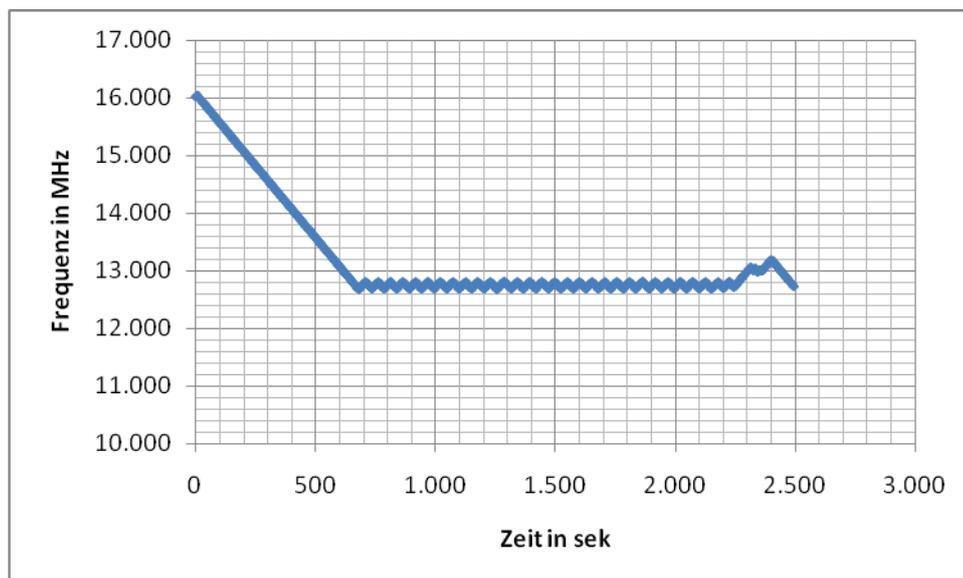


Abbildung 18. Nachreglung der Frequenz im Messsystem

In Folge dessen ist erkennbar, dass der Phasenkomparator einen Arbeitspunkt gefunden hat und die Frequenz diesbezüglich nachregelt. Ebenso konnte eine Längenänderung des Lichtwellenleiters, die bei einer Zeit von 2200 Sekunden vorgenommen wurde, detektiert werden.

Da es aber aufschlussreich ist zu sehen, wie empfindlich die Phasendetektion arbeitet, wird in der Abbildung 19. darauf Bezug genommen und dieser Sachverhalt noch einmal detailliert dargestellt.

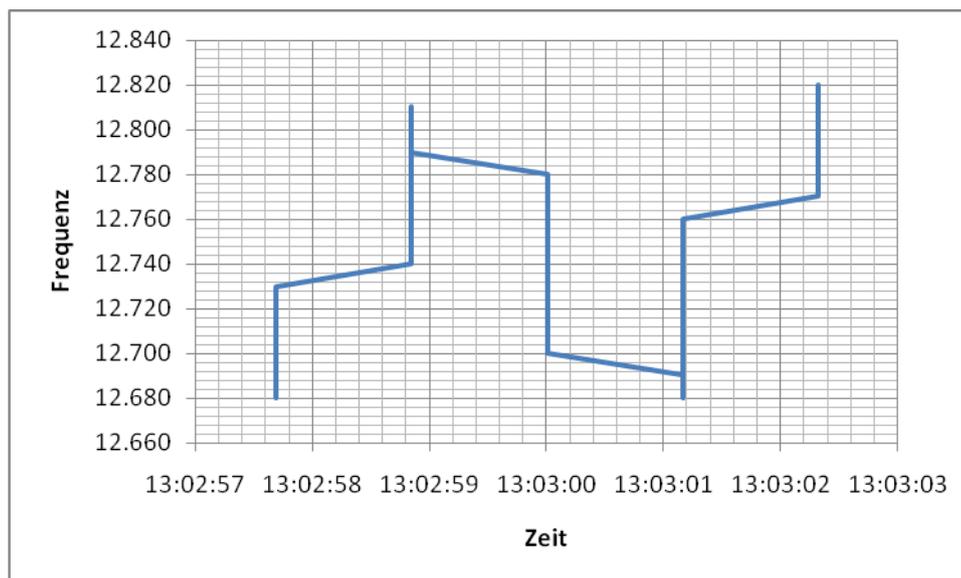


Abbildung 19. Empfindlichkeit des Phasenkomparators

Wie aus dem Diagramm gut zuerkennen ist, regelt der Signalgenerator (DDS) die Frequenz zwischen 12,68 MHz und 12,8 MHz. Das bedeutet, der PK hat einen Arbeitspunkt gefunden und hält die Phasendifferenz zwischen den beiden Signalen konstant. Mit welcher Genauigkeit die Phasendifferenz konstant gehalten wird, spiegelt sich in der Breite der Messkurve wieder. Für den vorliegenden Fall bedeutet dies, dass sie eine Breite von 12 KHz besitzt. Aus diesem Fakt lassen sich Rückschlüsse auf die Auflösung oder Empfindlichkeit der Phasendetektion ziehen.

5.2 Vor und Nachteile

Gewissermaßen kann man sagen, dass der größte Vorteil in dieser Konstruktion darin liegt, dass eine Wandlung der Signale vom Analogen ins Digitale vollständig wegfällt. Genauer gesagt werden Fehlerquellen, sogenannte Quantisierungsfehler oder Digitalisierungsrauschen komplett ausgeschlossen. Den durch die Wandlung entstehenden Fehler zwischen dem tatsächlichen Wert und dem ausgegebenen (gewandelten) Wert nennt man Quantisierungsfehler. Er entsteht durch die unvermeidbare Rundung der Signale bei der AD-Wandlung. Ferner entstehen durch die Nichtlinearität des Bauteils ebenfalls Fehler, die somit vermieden wurden.

Ein weiterer Vorteil besteht darin, dass der digitale PK im Modulsystem einwandfrei arbeitet. Hinzu kommt die kostengünstige Bauweise dieser Schaltung und relativ einfache Funktionalität. Als Nachteil muss jedoch die Empfindlichkeit bzw. Auflösung dieser Phasendetektion genannt werden, die einer weiteren Entwicklung bedarf.

6. Zusammenfassung

Rückblickend auf die Entwicklung des digitalen Phasenkomparators kann man folgendes zusammenfassen: die Forschungsarbeit wurde von Erfolgen wie Rückschlägen begleitet. Positiv erwähnt werden sollte sicherlich die mittlerweile reibungslose Funktion der hier vorgestellten Technik. Sie resultiert aus der optimierten Längenänderungsmessung im Sensorsystem. Unterstützung findet sie durch das umfassende Messverfahren, welches im Modulsystem Anwendung findet. Zukünftige Forschungsarbeiten zu dieser konkreten Thematik können auf die hier präsentierten Ergebnisse zugreifen und die Entwicklung von digitalen Phasenkomparatoren weiter vorantreiben.

7. Anhang: Auszüge aus Datenblatt 74HCT74, 74HCT00, MAX9142

Philips Semiconductors

Product specification

Dual D-type flip-flop with set and reset; positive-edge trigger

74HC/HCT74

FEATURES

- Output capability: standard
- I_{CC} category: flip-flops

GENERAL DESCRIPTION

The 74HC/HCT74 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT74 are dual positive-edge triggered, D-type flip-flops with individual data (D) inputs, clock (CP) inputs, set (\overline{S}_D) and reset (\overline{R}_D) inputs; also complementary Q and \overline{Q} outputs.

The set and reset are asynchronous active LOW inputs and operate independently of the clock input. Information on the data input is transferred to the Q output on the LOW-to-HIGH transition of the clock pulse. The D inputs must be stable one set-up time prior to the LOW-to-HIGH clock transition for predictable operation.

Schmitt-trigger action in the clock input makes the circuit highly tolerant to slower clock rise and fall times.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; t_r = t_f = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t _{PHL} / t _{PLH}	propagation delay	C _L = 15 pF; V _{CC} = 5 V			
	n _{CP} to n _Q , n \overline{Q}		14	15	ns
	n \overline{S}_D to n _Q , n \overline{Q}		15	18	ns
	n \overline{R}_D to n _Q , n \overline{Q}		16	18	ns
f _{max}	maximum clock frequency		76	59	MHz
C _I	input capacitance		3.5	3.5	pF
C _{PD}	power dissipation capacitance per flip-flop	notes 1 and 2	24	29	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μ W):

$$P_D = C_{PD} \times V_{CC}^2 \times f_i + \sum (C_L \times V_{CC}^2 \times f_o) \text{ where:}$$

f_i = input frequency in MHz

f_o = output frequency in MHz

$\sum (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs

C_L = output load capacitance in pF

V_{CC} = supply voltage in V

2. For HC the condition is V_I = GND to V_{CC}

For HCT the condition is V_I = GND to V_{CC} - 1.5 V

Dual D-type flip-flop with set and reset;
positive-edge trigger

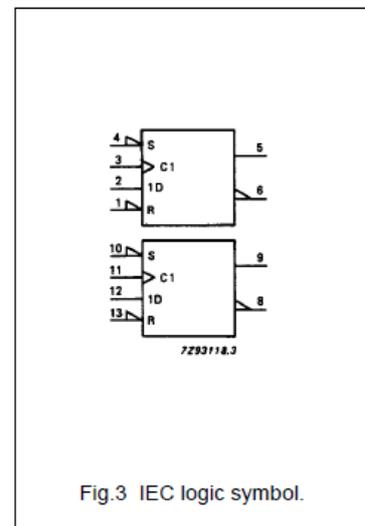
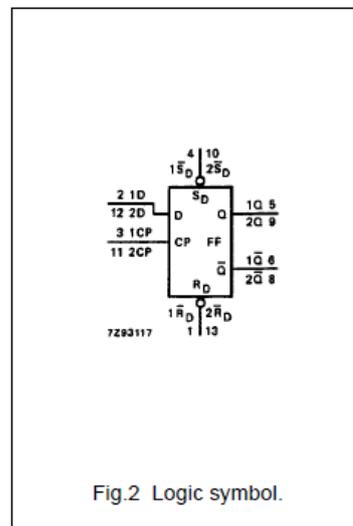
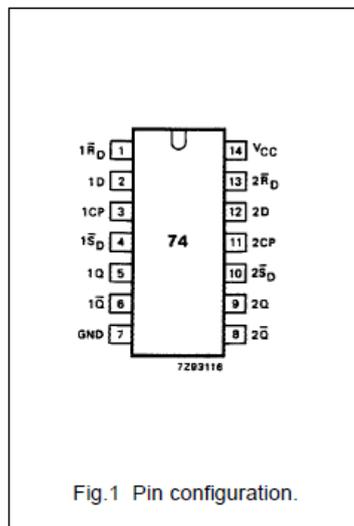
74HC/HCT74

ORDERING INFORMATION

TYPE NUMBER	PACKAGE		
	NAME	DESCRIPTION	VERSION
74HC(T)74N	DIP14	plastic dual in-line package; 14 leads (300 mil)	SOT27-1
74HC(T)74D	SO14	plastic small outline package; 14 leads; body width 3.9 mm	SOT108-1
74HCT74DB	SSOP14	plastic shrink small outline package; 14 leads; body width 5.3 mm	SOT337-1
74HCT74PW	TSSOP14	plastic thin shrink small outline package; 14 leads; body width 4.4 mm	SOT402-1

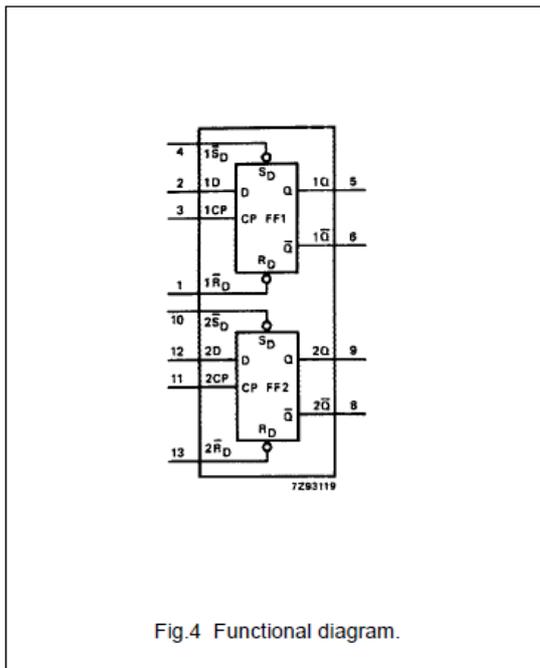
PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 13	$1\overline{R}_D, 2\overline{R}_D$	asynchronous reset-direct input (active LOW)
2, 12	1D, 2D	data inputs
3, 11	1CP, 2CP	clock input (LOW-to-HIGH, edge-triggered)
4, 10	$1\overline{S}_D, 2\overline{S}_D$	asynchronous set-direct input (active LOW)
5, 9	1Q, 2Q	true flip-flop outputs
6, 8	$1\overline{Q}, 2\overline{Q}$	complement flip-flop outputs
7	GND	ground (0 V)
14	V _{cc}	positive supply voltage



Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC/HCT74



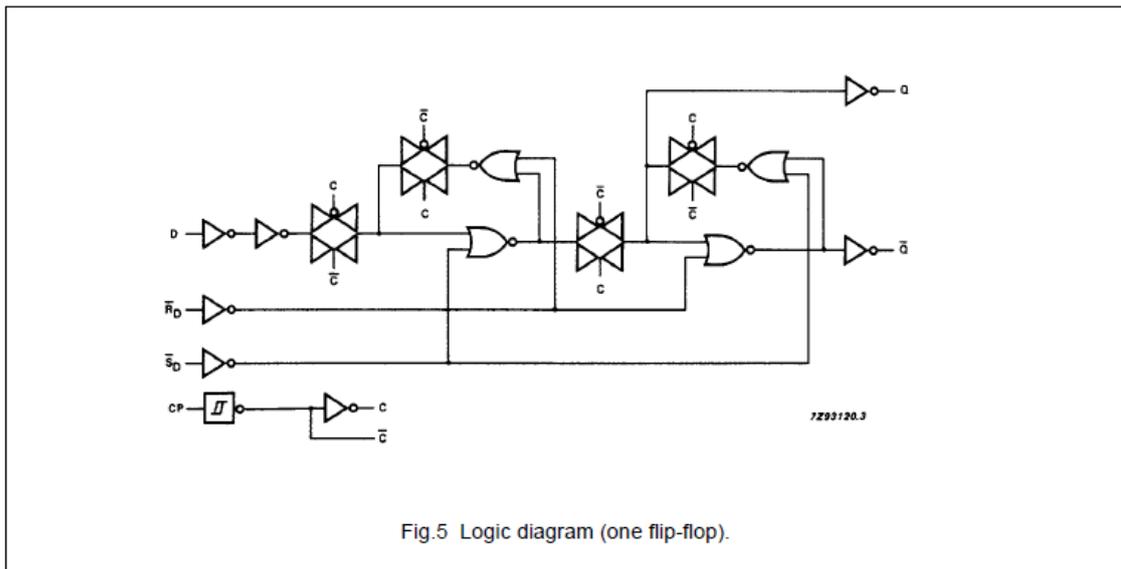
FUNCTION TABLE

INPUTS				OUTPUTS	
\bar{S}_D	\bar{R}_D	CP	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H

INPUTS				OUTPUTS	
\bar{S}_D	\bar{R}_D	CP	D	Q_{n+1}	\bar{Q}_{n+1}
H	H	↑	L	L	H
H	H	↑	H	H	L

Note

- H = HIGH voltage level
L = LOW voltage level
X = don't care
↑ = LOW-to-HIGH CP transition
 Q_{n+1} = state after the next LOW-to-HIGH CP transition



Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC/HCT74

DC CHARACTERISTICS FOR 74HC

For the DC characteristics see "74HC/HCT/HCU/HCMOS Logic Family Specifications".

Output capability: standard

I_{CC} category: flip-flops

AC CHARACTERISTICS

GND = 0 V; t_r = t_f = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T _{amb} (°C)								UNIT	TEST CONDITIONS	
		74HC									V _{CC} (V)	WAVEFORMS
		+25			-40 to +85		-40 to +125					
		min.	typ.	max.	min.	max.	min.	max.				
t _{PHL} / t _{PLH}	propagation delay nCP to nQ, nQ̄		47 17 14	175 35 30		220 44 37		265 53 45	ns	2.0 4.5 6.0	Fig.6	
t _{PHL} / t _{PLH}	propagation delay nS _D to nQ, nQ̄		50 18 14	200 40 34		250 50 43		300 60 51	ns	2.0 4.5 6.0	Fig.7	
t _{PHL} / t _{PLH}	propagation delay nR _D to nQ, nQ̄		52 19 15	200 40 34		250 50 43		300 60 51	ns	2.0 4.5 6.0	Fig.7	
t _{THL} / t _{TLH}	output transition time		19 7 6	75 15 13		95 19 16		110 22 19	ns	2.0 4.5 6.0	Fig.6	
t _w	clock pulse width HIGH or LOW	80 16 14	19 7 6		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.6	
t _w	set or reset pulse width LOW	80 16 14	19 7 6		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.7	
t _{rem}	removal time set or reset	30 6 5	3 1 1		40 8 7		45 9 8		ns	2.0 4.5 6.0	Fig.7	
t _{su}	set-up time nD to nCP	60 12 10	6 2 2		75 15 13		90 18 15		ns	2.0 4.5 6.0	Fig.6	
t _h	hold time nCP to nD	3 3 3	-6 -2 -2		3 3 3		3 3 3		ns	2.0 4.5 6.0	Fig.6	
f _{max}	maximum clock pulse frequency	6.0 30 35	23 69 82		4.8 24 28		4.0 20 24		MHz	2.0 4.5 6.0	Fig.6	

Philips Semiconductors

Product specification

Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC/HCT74

DC CHARACTERISTICS FOR 74HCT

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: standard

I_{CC} category: flip-flops

Note to HCT types

The value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given in the family specifications. To determine ΔI_{CC} per input, multiply this value by the unit load coefficient shown in the table below.

INPUT	UNIT LOAD COEFFICIENT
nD	0.70
n \overline{R}_D	0.70
n \overline{S}_D	0.80
nCP	0.80

AC CHARACTERISTICS FOR 74HCT

GND = 0 V; t_r = t_f = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T _{amb} (°C)								UNIT	TEST CONDITIONS	
		74HCT									V _{CC} (V)	WAVEFORMS
		+25			-40 to +85		-40 to +125					
		min.	typ.	max.	min.	max.	min.	max.				
t _{PHL} / t _{PLH}	propagation delay nCP to nQ, n \overline{Q}		18	35		44		53	ns	4.5	Fig.6	
t _{PHL} / t _{PLH}	propagation delay n \overline{S}_D to nQ, n \overline{Q}		23	40		50		60	ns	4.5	Fig.7	
t _{PHL} / t _{PLH}	propagation delay n \overline{R}_D to nQ, n \overline{Q}		24	40		50		60	ns	4.5	Fig.7	
t _{THL} / t _{TLH}	output transition time		7	15		19		22	ns	4.5	Fig.6	
t _W	clock pulse width HIGH or LOW	18	9		23		27		ns	4.5	Fig.6	
t _W	set or reset pulse width LOW	16	9		20		24		ns	4.5	Fig.7	
t _{rem}	removal time set or reset	6	1		8		9		ns	4.5	Fig.7	
t _{su}	set-up time nD to nCP	12	5		15		18		ns	4.5	Fig.6	
t _h	hold time nCP to nD	3	-3		3		3		ns	4.5	Fig.6	
f _{max}	maximum clock pulse frequency	27	54		22		18		MHz	4.5	Fig.6	

Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC/HCT74

AC WAVEFORMS

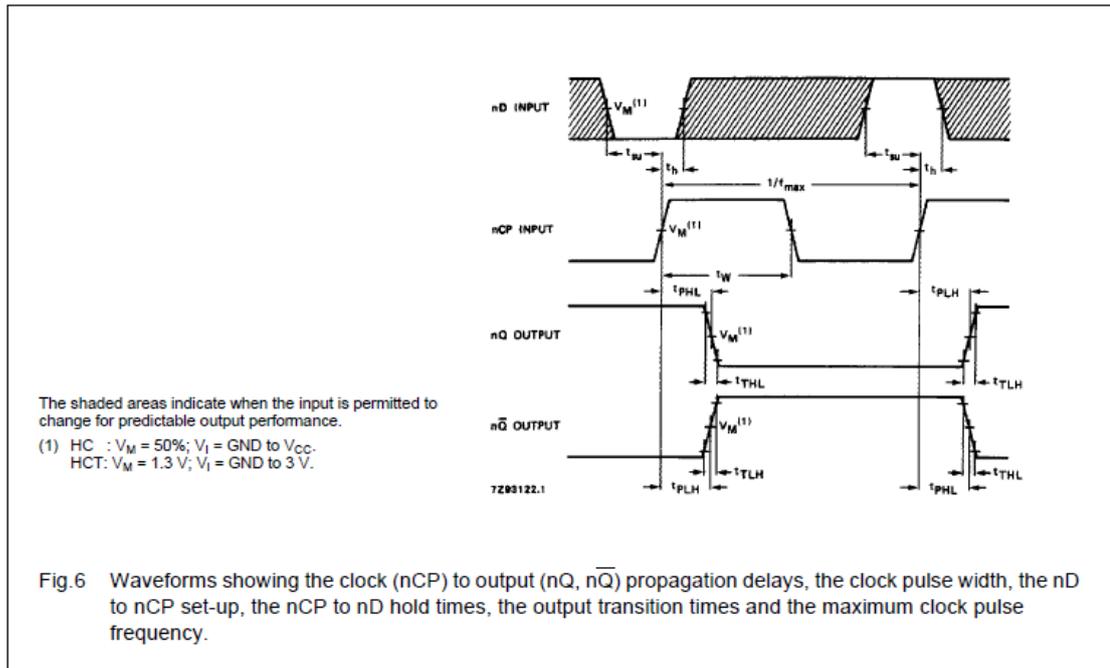


Fig. 6 Waveforms showing the clock (nCP) to output (nQ, nQ̄) propagation delays, the clock pulse width, the nD to nCP set-up, the nCP to nD hold times, the output transition times and the maximum clock pulse frequency.

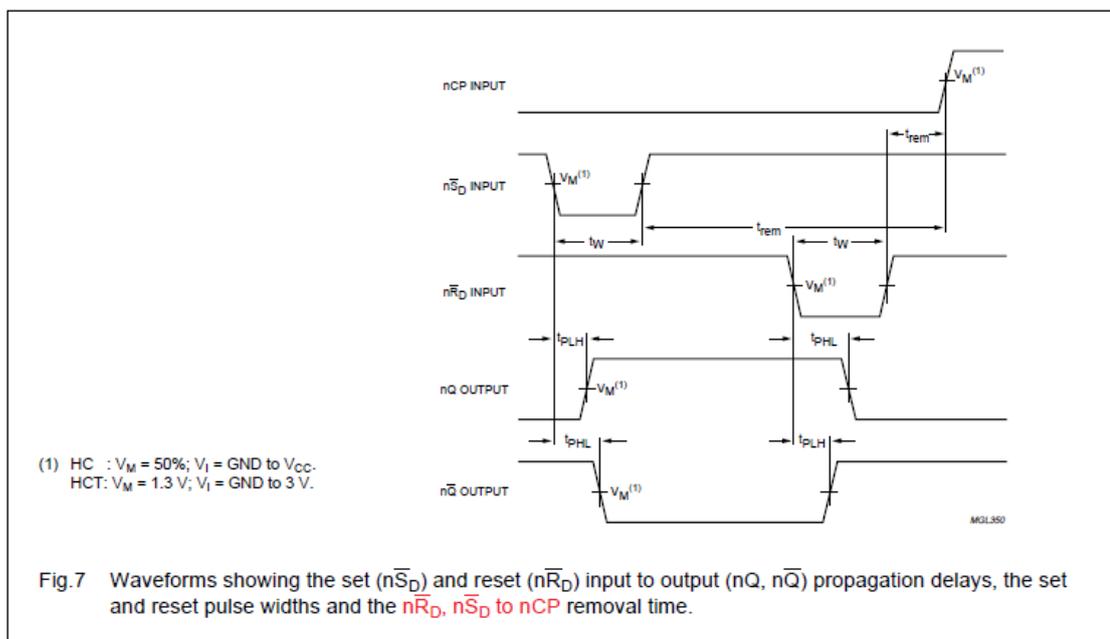


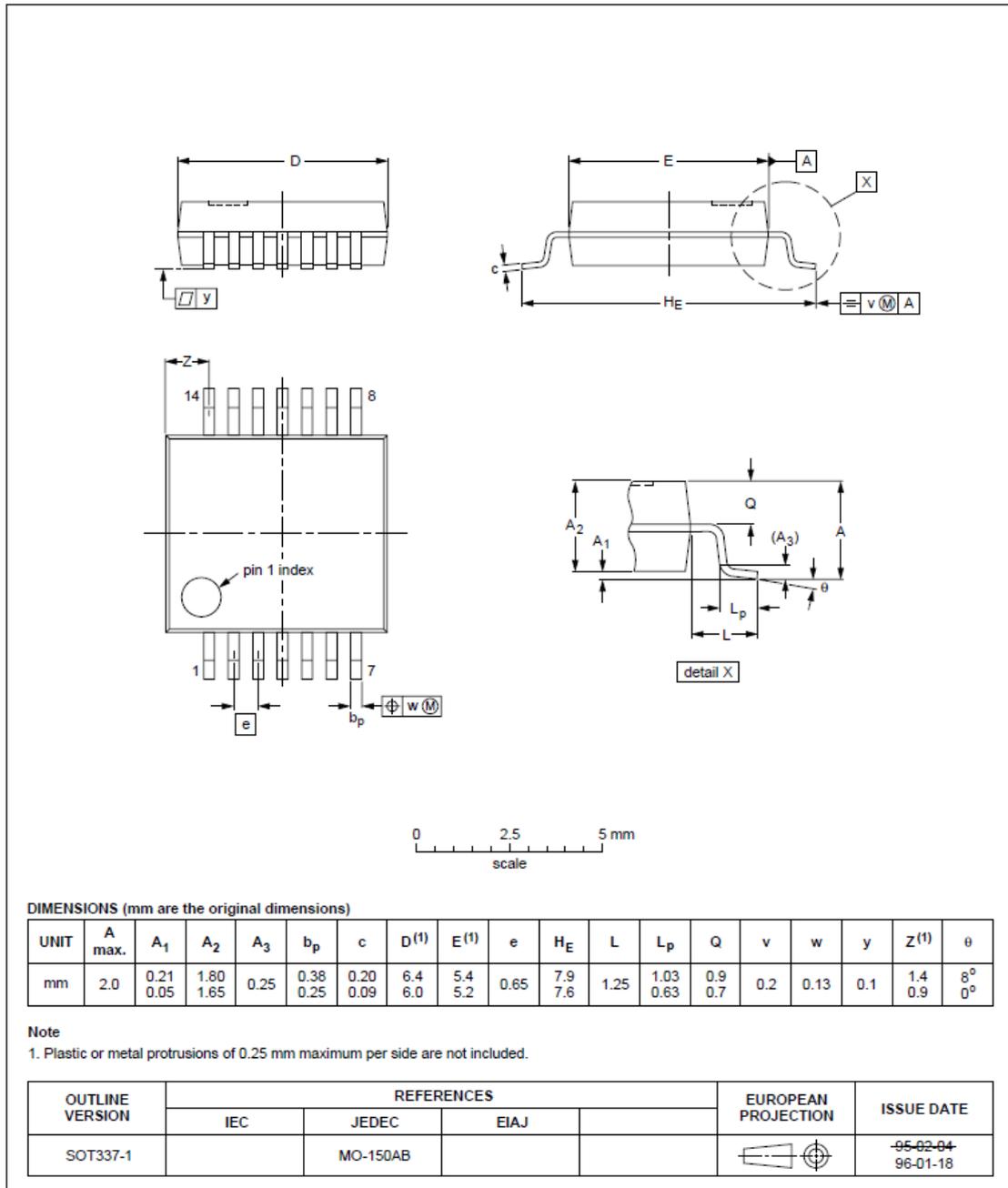
Fig. 7 Waveforms showing the set (nSD) and reset (nRD) input to output (nQ, nQ̄) propagation delays, the set and reset pulse widths and the nRD, nSD to nCP removal time.

Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC/HCT74

SSOP14: plastic shrink small outline package; 14 leads; body width 5.3 mm

SOT337-1



Dual D-type flip-flop with set and reset; positive-edge trigger

74HC/HCT74

SOLDERING

Introduction

There is no soldering method that is ideal for all IC packages. Wave soldering is often preferred when through-hole and surface mounted components are mixed on one printed-circuit board. However, wave soldering is not always suitable for surface mounted ICs, or for printed-circuits with high population densities. In these situations reflow soldering is often used.

This text gives a very brief insight to a complex technology. A more in-depth account of soldering ICs can be found in our "IC Package Databook" (order code 9398 652 90011).

DIP

SOLDERING BY DIPPING OR BY WAVE

The maximum permissible temperature of the solder is 260 °C; solder at this temperature must not be in contact with the joint for more than 5 seconds. The total contact time of successive solder waves must not exceed 5 seconds.

The device may be mounted up to the seating plane, but the temperature of the plastic body must not exceed the specified maximum storage temperature ($T_{stg\ max}$). If the printed-circuit board has been pre-heated, forced cooling may be necessary immediately after soldering to keep the temperature within the permissible limit.

REPAIRING SOLDERED JOINTS

Apply a low voltage soldering iron (less than 24 V) to the lead(s) of the package, below the seating plane or not more than 2 mm above it. If the temperature of the soldering iron bit is less than 300 °C it may remain in contact for up to 10 seconds. If the bit temperature is between 300 and 400 °C, contact may be up to 5 seconds.

SO, SSOP and TSSOP

REFLOW SOLDERING

Reflow soldering techniques are suitable for all SO, SSOP and TSSOP packages.

Reflow soldering requires solder paste (a suspension of fine solder particles, flux and binding agent) to be applied to the printed-circuit board by screen printing, stencilling or pressure-syringe dispensing before package placement.

Several techniques exist for reflowing; for example, thermal conduction by heated belt. Dwell times vary between 50 and 300 seconds depending on heating method.

Typical reflow temperatures range from 215 to 250 °C. Preheating is necessary to dry the paste and evaporate the binding agent. Preheating duration: 45 minutes at 45 °C.

WAVE SOLDERING

Wave soldering can be used for all SO packages. Wave soldering is **not** recommended for SSOP and TSSOP packages, because of the likelihood of solder bridging due to closely-spaced leads and the possibility of incomplete solder penetration in multi-lead devices.

If wave soldering is used - **and cannot be avoided for SSOP and TSSOP packages** - the following conditions must be observed:

- A double-wave (a turbulent wave with high upward pressure followed by a smooth laminar wave) soldering technique should be used.
- The longitudinal axis of the package footprint must be parallel to the solder flow and must incorporate solder thieves at the downstream end.

Even with these conditions:

- **Only consider wave soldering SSOP packages that have a body width of 4.4 mm, that is SSOP16 (SOT369-1) or SSOP20 (SOT266-1).**
- **Do not consider wave soldering TSSOP packages with 48 leads or more, that is TSSOP48 (SOT362-1) and TSSOP56 (SOT364-1).**

During placement and before soldering, the package must be fixed with a droplet of adhesive. The adhesive can be applied by screen printing, pin transfer or syringe dispensing. The package can be soldered after the adhesive is cured.

Maximum permissible solder temperature is 260 °C, and maximum duration of package immersion in solder is 10 seconds, if cooled to less than 150 °C within 6 seconds. Typical dwell time is 4 seconds at 250 °C.

A mildly-activated flux will eliminate the need for removal of corrosive residues in most applications.

REPAIRING SOLDERED JOINTS

Fix the component by first soldering two diagonally-opposite end leads. Use only a low voltage soldering iron (less than 24 V) applied to the flat part of the lead. Contact time must be limited to 10 seconds at up to 300 °C. When using a dedicated tool, all other leads can be soldered in one operation within 2 to 5 seconds between 270 and 320 °C.

Philips Semiconductors

Product specification

Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC/HCT74

DEFINITIONS

Data sheet status	
Objective specification	This data sheet contains target or goal specifications for product development.
Preliminary specification	This data sheet contains preliminary data; supplementary data may be published later.
Product specification	This data sheet contains final product specifications.
Limiting values	
Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.	
Application information	
Where application information is given, it is advisory and does not form part of the specification.	

LIFE SUPPORT APPLICATIONS

These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips for any damages resulting from such improper use or sale.

Quad 2-input NAND gate

74HC00; 74HCT00

FEATURES

- Complies with JEDEC standard no. 8-1A
- ESD protection:
HBM EIA/JESD22-A114-A exceeds 2000 V
MM EIA/JESD22-A115-A exceeds 200 V
- Specified from -40 to +85 °C and -40 to +125 °C.

DESCRIPTION

The 74HC00/74HCT00 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.
The 74HC00/74HCT00 provide the 2-input NAND function.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; t_r = t_f = 6 ns.

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			74HC00	74HCT00	
t _{PHL} /t _{PLH}	propagation delay nA, nB to nY	C _L = 15 pF; V _{CC} = 5 V	7	10	ns
C _I	input capacitance		3.5	3.5	pF
C _{PD}	power dissipation capacitance per gate	notes 1 and 2	22	22	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μW).
 $P_D = C_{PD} \times V_{CC}^2 \times f_i \times N + \Sigma(C_L \times V_{CC}^2 \times f_o)$ where:
 f_i = input frequency in MHz;
 f_o = output frequency in MHz;
 C_L = output load capacitance in pF;
 V_{CC} = supply voltage in Volts;
 N = total load switching outputs;
 Σ(C_L × V_{CC}² × f_o) = sum of the outputs.
2. For 74HC00 the condition is V_I = GND to V_{CC}.
 For 74HCT00 the condition is V_I = GND to V_{CC} - 1.5 V.

FUNCTION TABLE

See note 1.

INPUT		OUTPUT
nA	nB	nY
L	L	H
L	H	H
H	L	H
H	H	L

Note

1. H = HIGH voltage level;
L = LOW voltage level.

Quad 2-input NAND gate

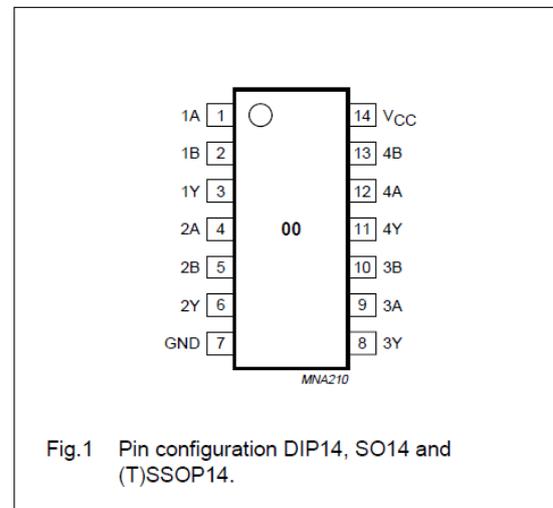
74HC00; 74HCT00

ORDERING INFORMATION

TYPE NUMBER	PACKAGE				
	TEMPERATURE RANGE	PINS	PACKAGE	MATERIAL	CODE
74HC00N	-40 to +125 °C	14	DIP14	plastic	SOT27-1
74HCT00N	-40 to +125 °C	14	DIP14	plastic	SOT27-1
74HC00D	-40 to +125 °C	14	SO14	plastic	SOT108-1
74HCT00D	-40 to +125 °C	14	SO14	plastic	SOT108-1
74HC00DB	-40 to +125 °C	14	SSOP14	plastic	SOT337-1
74HCT00DB	-40 to +125 °C	14	SSOP14	plastic	SOT337-1
74HC00PW	-40 to +125 °C	14	TSSOP14	plastic	SOT402-1
74HCT00PW	-40 to +125 °C	14	TSSOP14	plastic	SOT402-1
74HC00BQ	-40 to +125 °C	14	DHVQFN14	plastic	SOT762-1
74HCT00BQ	-40 to +125 °C	14	DHVQFN14	plastic	SOT762-1

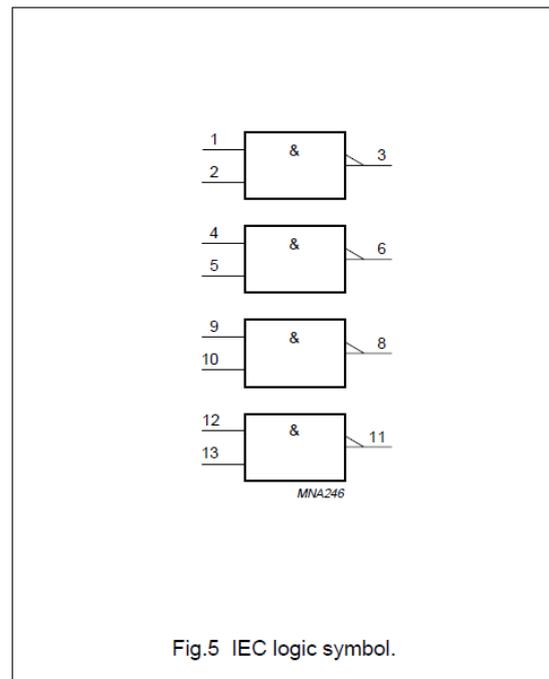
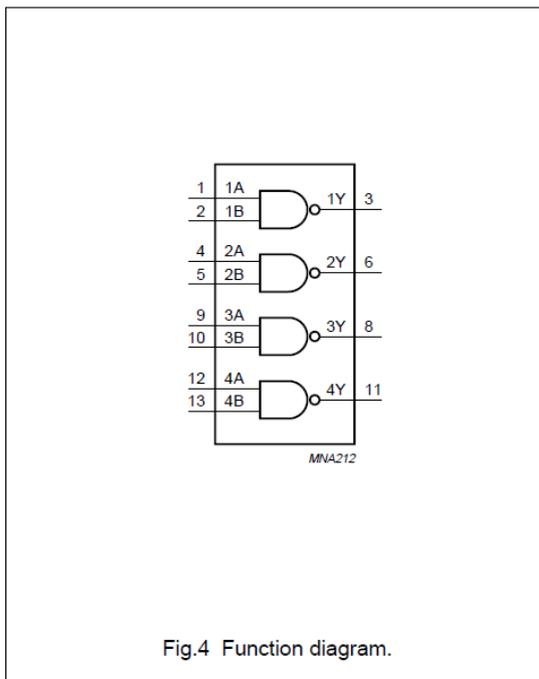
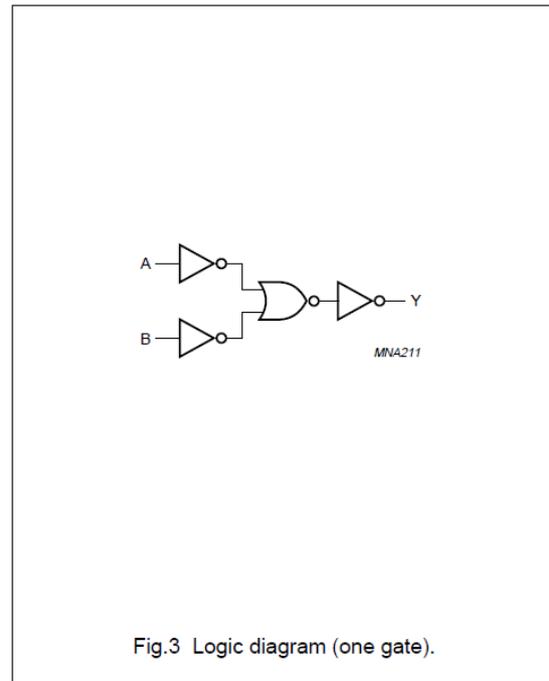
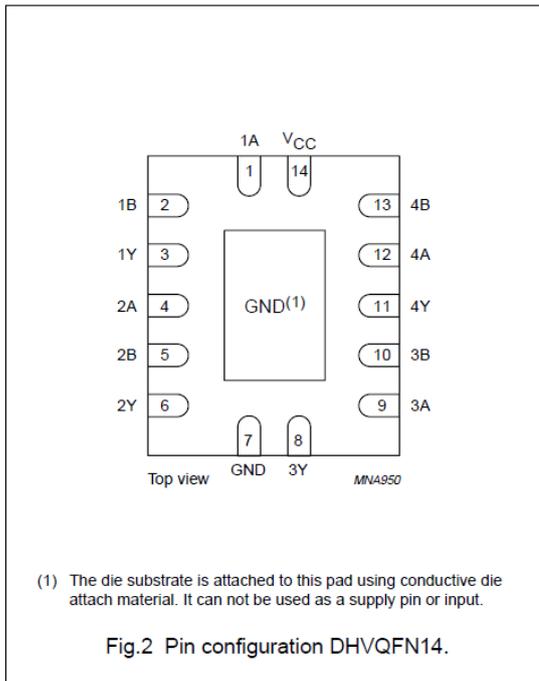
PINNING

PIN	SYMBOL	DESCRIPTION
1	1A	data input
2	1B	data input
3	1Y	data output
4	2A	data input
5	2B	data input
6	2Y	data output
7	GND	ground (0 V)
8	3Y	data output
9	3A	data input
10	3B	data input
11	4Y	data output
12	4A	data input
13	4B	data input
14	V _{CC}	supply voltage



Quad 2-input NAND gate

74HC00; 74HCT00



Quad 2-input NAND gate

74HC00; 74HCT00

RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	CONDITIONS	74HC00			74HCT00			UNIT
			MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
V_{CC}	supply voltage		2.0	5.0	6.0	4.5	5.0	5.5	V
V_I	input voltage		0	–	V_{CC}	0	–	V_{CC}	V
V_O	output voltage		0	–	V_{CC}	0	–	V_{CC}	V
T_{amb}	operating ambient temperature	see DC and AC characteristics per device	–40	+25	+125	–40	+25	+125	°C
t_r, t_f	input rise and fall times	$V_{CC} = 2.0\text{ V}$	–	–	1000	–	–	–	ns
		$V_{CC} = 4.5\text{ V}$	–	6.0	500	–	6.0	500	ns
		$V_{CC} = 6.0\text{ V}$	–	–	400	–	–	–	ns

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 60134); voltages are referenced to GND (ground = 0 V).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{CC}	supply voltage		–0.5	+7.0	V
I_{IK}	input diode current	$V_I < -0.5\text{ V}$ or $V_I > V_{CC} + 0.5\text{ V}$	–	±20	mA
I_{OK}	output diode current	$V_O < -0.5\text{ V}$ or $V_O > V_{CC} + 0.5\text{ V}$	–	±20	mA
I_O	output source or sink current	$-0.5\text{ V} < V_O < V_{CC} + 0.5\text{ V}$	–	±25	mA
I_{CC}, I_{GND}	V_{CC} or GND current		–	±50	mA
T_{stg}	storage temperature		–65	+150	°C
P_{tot}	power dissipation	$T_{amb} = -40\text{ to }+125\text{ °C}$; note 1	–	500	mW

Note

- For DIP14 packages: above 70 °C derate linearly with 12 mW/K.
For SO14 packages: above 70 °C derate linearly with 8 mW/K.
For SSOP14 and TSSOP14 packages: above 60 °C derate linearly with 5.5 mW/K.
For DHVQFN14 packages: above 60 °C derate linearly with 4.5 mW/K.

Quad 2-input NAND gate

74HC00; 74HCT00

DC CHARACTERISTICS

Type 74HC00

At recommended operating conditions; voltages are referenced to GND (ground = 0 V).

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		OTHER	V _{CC} (V)				
T_{amb} = -40 to +85 °C; note 1							
V _{IH}	HIGH-level input voltage		2.0	1.5	1.2	–	V
			4.5	3.15	2.4	–	V
			6.0	4.2	3.2	–	V
V _{IL}	LOW-level input voltage		2.0	–	0.8	0.5	V
			4.5	–	2.1	1.35	V
			6.0	–	2.8	1.8	V
V _{OH}	HIGH-level output voltage	V _I = V _{IH} or V _{IL} I _O = –20 μA	2.0	1.9	2.0	–	V
		I _O = –20 μA	4.5	4.4	4.5	–	V
		I _O = –20 μA	6.0	5.9	6.0	–	V
		I _O = –4.0 mA	4.5	3.84	4.32	–	V
		I _O = –5.2 mA	6.0	5.34	5.81	–	V
V _{OL}	LOW-level output voltage	V _I = V _{IH} or V _{IL} I _O = 20 μA	2.0	–	0	0.1	V
		I _O = 20 μA	4.5	–	0	0.1	V
		I _O = 20 μA	6.0	–	0	0.1	V
		I _O = 4.0 mA	4.5	–	0.15	0.33	V
		I _O = 5.2 mA	6.0	–	0.16	0.33	V
I _{LI}	input leakage current	V _I = V _{CC} or GND	6.0	–	–	±1.0	μA
I _{OZ}	3-state output OFF current	V _I = V _{IH} or V _{IL} ; V _O = V _{CC} or GND	6.0	–	–	±5.0	μA
I _{CC}	quiescent supply current	V _I = V _{CC} or GND; I _O = 0	6.0	–	–	20	μA

Quad 2-input NAND gate

74HC00; 74HCT00

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		OTHER	V _{CC} (V)				
T_{amb} = -40 to +125 °C							
V _{IH}	HIGH-level input voltage		2.0	1.5	–	–	V
			4.5	3.15	–	–	V
			6.0	4.2	–	–	V
V _{IL}	LOW-level input voltage		2.0	–	–	0.5	V
			4.5	–	–	1.35	V
			6.0	–	–	1.8	V
V _{OH}	HIGH-level output voltage	V _I = V _{IH} or V _{IL} I _O = -20 μA	2.0	1.9	–	–	V
		I _O = -20 μA	4.5	4.4	–	–	V
		I _O = -20 μA	6.0	5.9	–	–	V
		I _O = -4.0 mA	4.5	3.7	–	–	V
		I _O = -5.2 mA	6.0	5.2	–	–	V
V _{OL}	LOW-level output voltage	V _I = V _{IH} or V _{IL} I _O = 20 μA	2.0	–	–	0.1	V
		I _O = 20 μA	4.5	–	–	0.1	V
		I _O = 20 μA	6.0	–	–	0.1	V
		I _O = 4.0 mA	4.5	–	–	0.4	V
		I _O = 5.2 mA	6.0	–	–	0.4	V
I _{LI}	input leakage current	V _I = V _{CC} or GND	6.0	–	–	±1.0	μA
I _{OZ}	3-state output OFF current	V _I = V _{IH} or V _{IL} ; V _O = V _{CC} or GND	6.0	–	–	±10.0	μA
I _{CC}	quiescent supply current	V _I = V _{CC} or GND; I _O = 0	6.0	–	–	40	μA

Note

1. All typical values are measured at T_{amb} = 25 °C.

Quad 2-input NAND gate

74HC00; 74HCT00

Type 74HCT00

At recommended operating conditions; voltages are referenced to GND (ground = 0 V).

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		OTHER	V _{CC} (V)				
T_{amb} = -40 to +85 °C; note 1							
V _{IH}	HIGH-level input voltage		4.5 to 5.5	2.0	1.6	–	V
V _{IL}	LOW-level input voltage		4.5 to 5.5	–	1.2	0.8	V
V _{OH}	HIGH-level output voltage	V _I = V _{IH} or V _{IL} I _O = -20 μA	4.5	4.4	4.5	–	V
		I _O = -4.0 mA	4.5	3.84	4.32	–	V
V _{OL}	LOW-level output voltage	V _I = V _{IH} or V _{IL} I _O = 20 μA	4.5	–	0	0.1	V
		I _O = 4.0 mA	4.5	–	0.15	0.33	V
I _{LI}	input leakage current	V _I = V _{CC} or GND	5.5	–	–	±1.0	μA
I _{OZ}	3-state output OFF current	V _I = V _{IH} or V _{IL} ; V _O = V _{CC} or GND; I _O = 0	5.5	–	–	±5.0	μA
I _{CC}	quiescent supply current	V _I = V _{CC} or GND; I _O = 0	5.5	–	–	20	μA
ΔI _{CC}	additional supply current per input	V _I = V _{CC} - 2.1 V; I _O = 0	4.5 to 5.5	–	150	675	μA
T_{amb} = -40 to +125 °C							
V _{IH}	HIGH-level input voltage		4.5 to 5.5	2.0	–	–	V
V _{IL}	LOW-level input voltage		4.5 to 5.5	–	–	0.8	V
V _{OH}	HIGH-level output voltage	V _I = V _{IH} or V _{IL} I _O = -20 μA	4.5	4.4	–	–	V
		I _O = -4.0 mA	4.5	3.7	–	–	V
V _{OL}	LOW-level output voltage	V _I = V _{IH} or V _{IL} I _O = 20 μA	4.5	–	–	0.1	V
		I _O = 4.0 mA	4.5	–	–	0.4	V
I _{LI}	input leakage current	V _I = V _{CC} or GND	5.5	–	–	±1.0	μA
I _{OZ}	3-state output OFF current	V _I = V _{IH} or V _{IL} ; V _O = V _{CC} or GND; I _O = 0	5.5	–	–	±10	μA
I _{CC}	quiescent supply current	V _I = V _{CC} or GND; I _O = 0	5.5	–	–	40	μA
ΔI _{CC}	additional supply current per input	V _I = V _{CC} - 2.1 V; I _O = 0	4.5 to 5.5	–	–	735	μA

Note

1. All typical values are measured at T_{amb} = 25 °C.

Quad 2-input NAND gate

74HC00; 74HCT00

AC CHARACTERISTICS

Type 74HC00

GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF.

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V _{CC} (V)				
T_{amb} = -40 to +85 °C; note 1							
t _{PHL} /t _{PLH}	propagation delay nA, nB to nY	see Fig.6	2.0	–	25	115	ns
		see Fig.6	4.5	–	9	23	ns
		see Fig.6	6.0	–	7	20	ns
t _{THL} /t _{TLH}	output transition time		2.0	–	19	95	ns
			4.5	–	7	19	ns
			6.0	–	6	16	ns
T_{amb} = -40 to +125 °C							
t _{PHL} /t _{PLH}	propagation delay nA, nB to nY	see Fig.6	2.0	–	–	135	ns
		see Fig.6	4.5	–	–	27	ns
		see Fig.6	6.0	–	–	23	ns
t _{THL} /t _{TLH}	output transition time		2.0	–	–	110	ns
			4.5	–	–	22	ns
			6.0	–	–	19	ns

Note

1. All typical values are measured at T_{amb} = 25 °C.

Type 74HCT00

GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V _{CC} (V)				
T_{amb} = -40 to +85 °C; note 1							
t _{PHL} /t _{PLH}	propagation delay nA, nB to nY	see Fig.6	4.5	–	12	24	ns
t _{THL} /t _{TLH}	output transition time		4.5	–	–	29	ns
T_{amb} = -40 to +125 °C							
t _{PHL} /t _{PLH}	propagation delay nA, nB to nY	see Fig.6	4.5	–	–	29	ns
t _{THL} /t _{TLH}	output transition time		4.5	–	–	22	ns

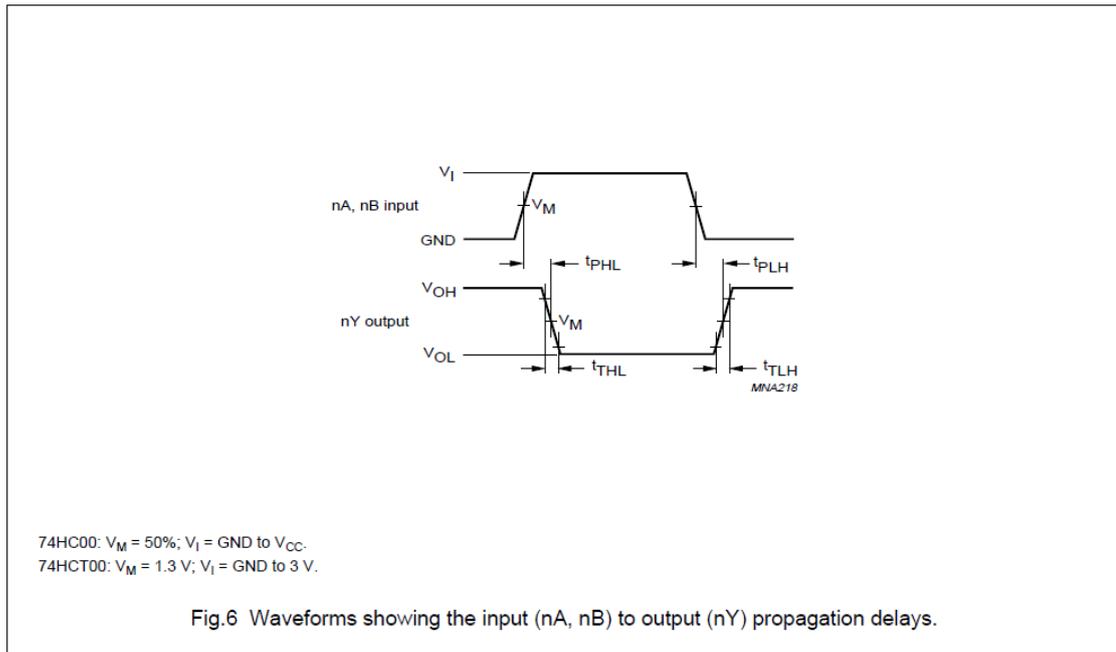
Note

1. All typical values are measured at T_{amb} = 25 °C.

Quad 2-input NAND gate

74HC00; 74HCT00

AC WAVEFORMS

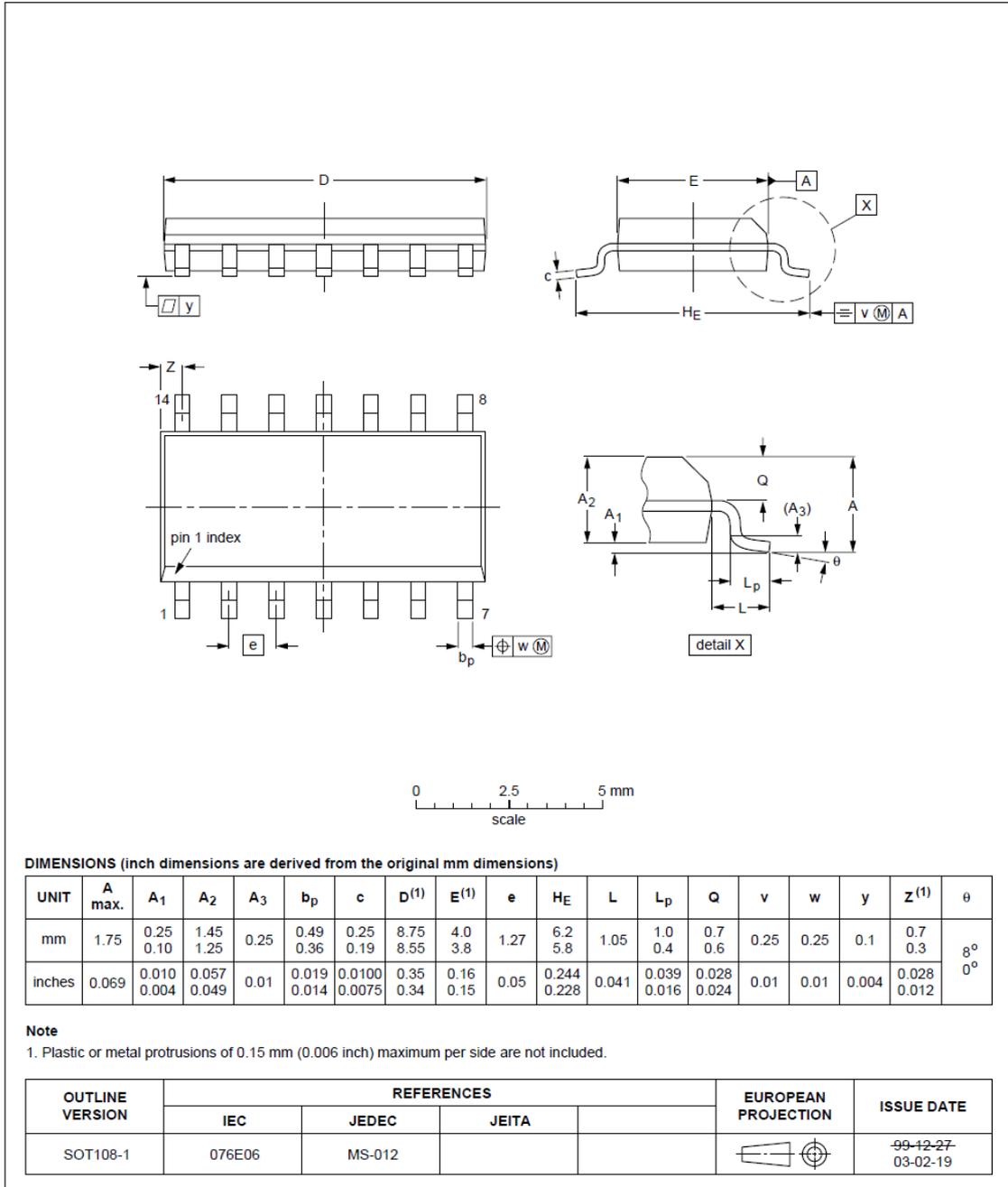


Quad 2-input NAND gate

74HC00; 74HCT00

SO14: plastic small outline package; 14 leads; body width 3.9 mm

SOT108-1



Quad 2-input NAND gate

74HC00; 74HCT00

DATA SHEET STATUS

LEVEL	DATA SHEET STATUS ⁽¹⁾	PRODUCT STATUS ⁽²⁾⁽³⁾	DEFINITION
I	Objective data	Development	This data sheet contains data from the objective specification for product development. Philips Semiconductors reserves the right to change the specification in any manner without notice.
II	Preliminary data	Qualification	This data sheet contains data from the preliminary specification. Supplementary data will be published at a later date. Philips Semiconductors reserves the right to change the specification without notice, in order to improve the design and supply the best possible product.
III	Product data	Production	This data sheet contains data from the product specification. Philips Semiconductors reserves the right to make changes at any time in order to improve the design, manufacturing and supply. Relevant changes will be communicated via a Customer Product/Process Change Notification (CPCN).

Notes

1. Please consult the most recently issued data sheet before initiating or completing a design.
2. The product status of the device(s) described in this data sheet may have changed since this data sheet was published. The latest information is available on the Internet at URL <http://www.semiconductors.philips.com>.
3. For data sheets describing multiple type numbers, the highest-level product status determines the data sheet status.

DEFINITIONS

Short-form specification — The data in a short-form specification is extracted from a full data sheet with the same type number and title. For detailed information see the relevant data sheet or data handbook.

Limiting values definition — Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 60134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.

Application information — Applications that are described herein for any of these products are for illustrative purposes only. Philips Semiconductors make no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

DISCLAIMERS

Life support applications — These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips Semiconductors customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips Semiconductors for any damages resulting from such application.

Right to make changes — Philips Semiconductors reserves the right to make changes in the products - including circuits, standard cells, and/or software - described or contained herein in order to improve design and/or performance. When the product is in full production (status 'Production'), relevant changes will be communicated via a Customer Product/Process Change Notification (CPCN). Philips Semiconductors assumes no responsibility or liability for the use of any of these products, conveys no licence or title under any patent, copyright, or mask work right to these products, and makes no representations or warranties that these products are free from patent, copyright, or mask work right infringement, unless otherwise specified.

19-2064; Rev 0; 6/01

MAXIM

40ns, Low-Power, 3V/5V, Rail-to-Rail Single-Supply Comparators

General Description

The MAX9140/MAX9141 are single and the MAX9142/MAX9144 are dual/quad high-speed comparators optimized for systems powered from a 3V or 5V supply. The MAX9141 features latch enable and device shutdown. These devices combine high speed, low power, and Rail-to-Rail® inputs. Propagation delay is 40ns, while supply current is only 150µA per comparator.

The input common-mode range of the MAX9140/MAX9141/MAX9142/MAX9144 extends beyond both power-supply rails. The outputs pull to within 0.3V of either supply rail without external pullup circuitry, making these devices ideal for interface with both CMOS and TTL logic. All input and output pins can tolerate a continuous short-circuit fault condition to either rail. Internal hysteresis ensures clean output switching, even with slow-moving input signals.

The MAX9140/MAX9141/MAX9142/MAX9144 are higher-speed, lower-power, and lower-cost upgrades to industry-standard comparators MAX941/MAX942/MAX944.

The MAX9140 are offered in tiny 5-pin SC70 and SOT23 packages. The MAX9141 and MAX9142 are available in 8-pin SOT23 and SO packages, while the MAX9144 is available in both 14-pin SO and TSSOP packages.

Applications

- Line Receivers
- Battery-Powered Systems
- Threshold Detectors/Discriminators
- 3V/5V Systems
- Zero-Crossing Detectors
- Sampling Circuits

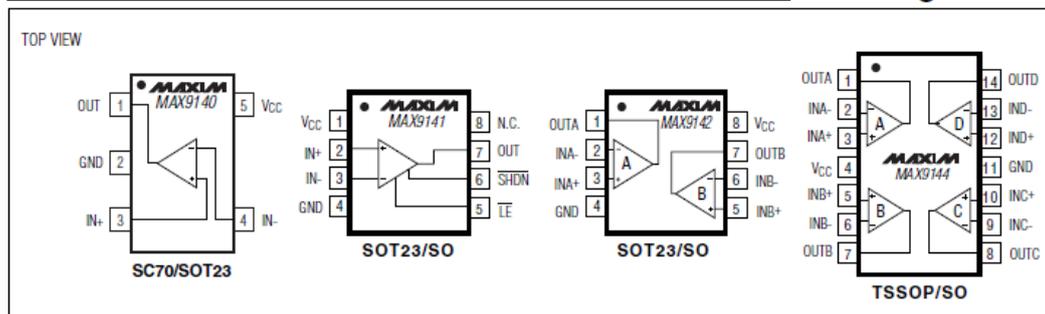
Features

- ◆ Fast, 40ns Propagation Delay (10mV Overdrive)
- ◆ Low Power:
0.45mW Power Dissipation Per Comparator (3V)
150µA Supply Current
- ◆ Optimized for 3V and 5V Applications
(Operation Down to 2.7V)
- ◆ Rail-to-Rail Input Voltage Range
- ◆ Low, 500µV Offset Voltage
- ◆ Internal Hysteresis for Clean Switching
- ◆ Outputs Swing 300mV of Power Rails
- ◆ CMOS/TTL-Compatible Outputs
- ◆ Output Latch (MAX9141 only)
- ◆ Shutdown Function (MAX9141 only)
- ◆ Available in SC70 and SOT23 Packages

Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE	TOP MARK
MAX9140EXK-T	-40°C to +85°C	5 SC70-5	ACC
MAX9140EUK-T	-40°C to +85°C	5 SOT23-5	ADQP
MAX9141EKA-T	-40°C to +85°C	8 SOT23-8	AAFD
MAX9141ESA	-40°C to +85°C	8 SO	—
MAX9142EKA-T	-40°C to +85°C	8 SOT23-8	AAFE
MAX9142ESA	-40°C to +85°C	8 SO	—
MAX9144EUD	-40°C to +85°C	14 TSSOP	—
MAX9144ESD	-40°C to +85°C	14 SO	—

Pin Configurations



Rail-to-Rail is a registered trademark of Nippon Motorola, Ltd.

MAXIM

Maxim Integrated Products 1

For pricing, delivery, and ordering information, please contact Maxim/Dallas Direct! at 1-888-629-4642, or visit Maxim's website at www.maxim-ic.com.

MAX9140/MAX9141/MAX9142/MAX9144

40ns, Low-Power, 3V/5V, Rail-to-Rail Single-Supply Comparators

MAX9140/MAX9141/MAX9142/MAX9144

ABSOLUTE MAXIMUM RATINGS

Power Supply Ranges

Supply Voltage (V _{CC} to GND).....	+6V
Differential Input Voltage.....	-0.3V to (V _{CC} + 0.3V)
Common-Mode Input Voltage to GND	-0.3V to (V _{CC} + 0.3V)
\overline{LE} Input Voltage (MAX9141 only)	-0.3V to (V _{CC} + 0.3V)
\overline{SHDN} Input Voltage (MAX9141 only).....	-0.3V to (V _{CC} + 0.3V)
Input/Output Short-Circuit Duration to V _{CC} or GND	Continuous

Continuous Power Dissipation (T_A = +70°C)

5-Pin SC70 (derate 3.1mW/°C above +70°C).....	247mW
5-Pin SOT23 (derate 7.1mW/°C above +70°C).....	571mW
8-Pin SOT23 (derate 9.1mW/°C above +70°C).....	727mW
8-Pin SO (derate 5.9mW/°C above +70°C).....	470.6mW
14-Pin TSSOP (derate 9.1mW/°C above +70°C).....	727mW
14-Pin SO (derate 8.33mW/°C above +70°C).....	666.7mW
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = 5V, V_{CM} = 0, \overline{SHDN} = \overline{LE} = V_{CC} (MAX9141 only), C_L = 15pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Operating Supply Voltage	V _{CC}	(Note 2)	2.7		5.5	V	
Input Voltage Range	V _{CMR}	(Note 3)	-0.2	V _{CC} + 0.2		V	
Input Offset Voltage	V _{OS}	(Note 4)	T _A = +25°C		0.5	2	mV
			T _A = T _{MIN} to T _{MAX}			4.5	
Input Hysteresis	V _{HYST}	(Note 5)		1.5		mV	
Input Bias Current	I _B	(Note 6)		90	320	nA	
Input Offset Current	I _{OS}			8	120	nA	
Common-Mode Rejection Ratio	CMRR	V _{CC} = 5.5V (Note 7)		80	800	μV/V	
Power-Supply Rejection Ratio	PSRR	2.7V ≤ V _{CC} ≤ 5.5V		80	750	μV/V	
Output High Voltage	V _{OH}	I _{SOURCE} = 4mA	V _{CC} - 0.425	V _{CC} - 0.3		V	
Output Low Voltage	V _{OL}	I _{SINK} = 4mA		0.3	0.425	V	
Output Leakage Current	I _{LEAK}	\overline{SHDN} = GND, MAX9141 only (Note 8)		0.04	1	μA	
Supply Current (Per Comparator)	I _{CC}	V _{CM} = V _{CC} = 3V	MAX9141	165	275	μA	
			MAX9140/MAX9142/ MAX9144	150	250		
		V _{CM} = V _{CC} = 5V	MAX9141	200	320		
			MAX9140/MAX9142/ MAX9144	165	300		
		MAX9141 only, \overline{SHDN} = GND; V _{CC} = V _{CM} = 3V		12	30		
Propagation Delay	t _{PD+} , t _{PD-}	V _{CC} = 3V, V _{OD} = 10mV		40		ns	
Differential Propagation Delay	d _{tPD}	V _{OD} = 10mV (Note 9)		2		ns	
Propagation Delay Skew		V _{OD} = 10mV (Note 10)		2		ns	
Logic Input Voltage High	V _{IH}	(Note 11)	V _{CC} /2 + 0.4	V _{CC} /2		V	
Logic Input Voltage Low	V _{IL}	(Note 11)		V _{CC} /2	V _{CC} /2 - 0.4	V	
Logic Input Current	I _{IL} , I _{IH}	V _{LOGIC} = 0 to V _{CC} (Note 11)		2	10	μA	

40ns, Low-Power, 3V/5V, Rail-to-Rail Single-Supply Comparators

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = 5V$, $V_{CM} = 0$, $\overline{SHDN} = \overline{LE} = V_{CC}$ (MAX9141 only), $C_L = 15pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Data-to-Latch Setup Time	t_S	(Note 12)		16		ns
Latch-to-Data Hold Time	t_H	(Note 12)		16		ns
Latch Pulse Width	t_{LPW}	(Note 12)		45		ns
Latch Propagation Delay	t_{LPD}	(Note 12)		60		ns
Shutdown Enable Time		(Note 13)		1		μs
Shutdown Disable Time		(Note 13)		5		μs

- Note 1:** All devices are 100% production tested at $T_A = +25^\circ C$. Specifications over temperature are guaranteed by design.
- Note 2:** Inferred from PSRR test.
- Note 3:** Inferred from CMRR test. Note also that either or both inputs can be driven to the absolute maximum limit (0.3V beyond either supply rail) without damage or false output inversion.
- Note 4:** V_{OS} is defined as the center of the input-referred hysteresis zone. See Figure 1.
- Note 5:** The input-referred trip points are the extremities of the differential input voltage required to make the comparator output change state. The difference between the upper and lower trip points is equal to the width of the input-referred hysteresis zone. See Figure 1.
- Note 6:** The polarity of I_B reverses direction as V_{CM} approaches either supply rail.
- Note 7:** Specified over the full common-mode voltage range (V_{CMR}).
- Note 8:** Specification is for current flowing into or out of the output pin for V_{OUT} driven to any voltage from V_{CC} to GND while the part is in shutdown.
- Note 9:** Specified between any two channels in the MAX9142/MAX9144.
- Note 10:** Specified as the difference between t_{PD+} and t_{PD-} for any one comparator.
- Note 11:** Applies to the MAX9141 only for both \overline{SHDN} and \overline{LE} .
- Note 12:** Applies to the MAX9141 only. Comparator is active with \overline{LE} driven high and is latched with \overline{LE} driven low ($V_{OD} = 10mV$). See Figure 2.
- Note 13:** Applicable to the MAX9141 only. Comparator is active with the \overline{SHDN} driven high and is shutdown with \overline{SHDN} driven low. Shutdown enable time is the delay when the \overline{SHDN} is driven high to the time the output is valid. Shutdown disable time is the delay when the \overline{SHDN} is driven low to the time the comparator shuts down.

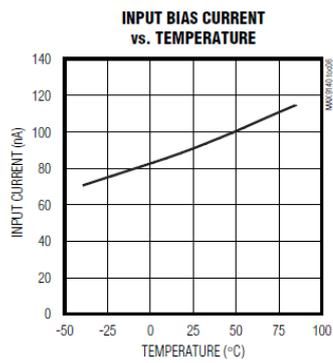
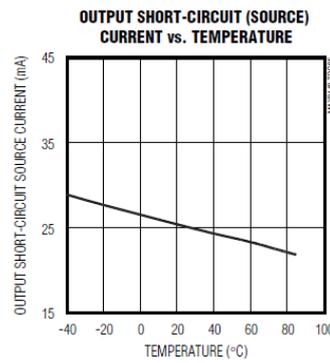
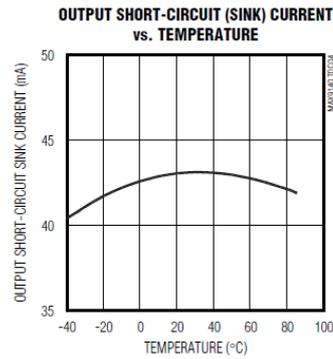
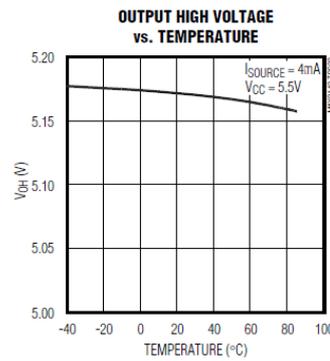
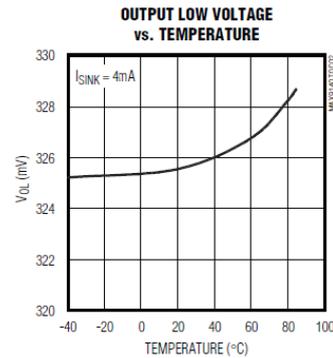
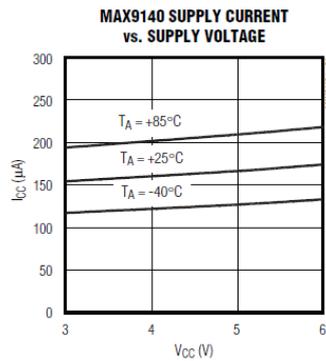
MAX9140/MAX9141/MAX9142/MAX9144

40ns, Low-Power, 3V/5V, Rail-to-Rail Single-Supply Comparators

Typical Operating Characteristics

($V_{CC} = 3.0V$, $V_{CM} = 0$, $C_L = 15pF$, $V_{OD} = 10mV$, $T_A = +25^\circ C$, unless otherwise noted.)

MAX9140/MAX9141/MAX9142/MAX9144

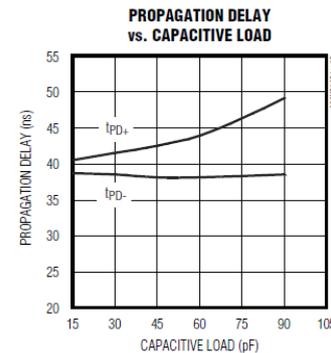
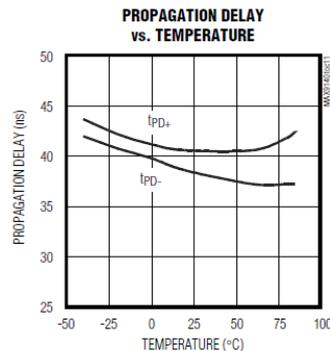
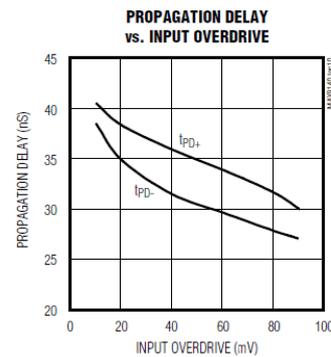
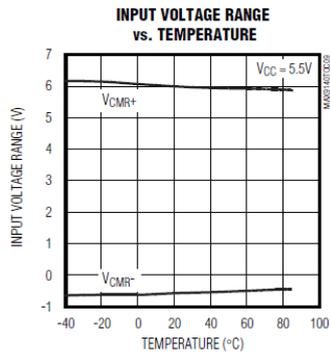
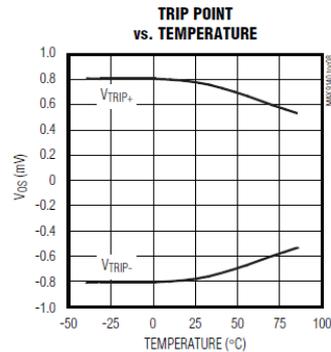
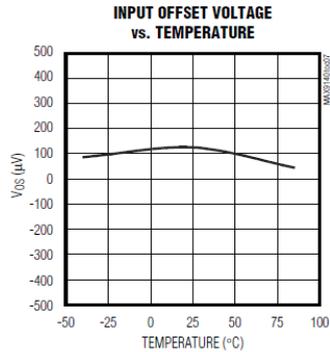


40ns, Low-Power, 3V/5V, Rail-to-Rail Single-Supply Comparators

Typical Operating Characteristics (continued)

($V_{CC} = 3.0V$, $V_{CM} = 0$, $C_L = 15pF$, $V_{OD} = 10mV$, $T_A = +25^\circ C$, unless otherwise noted.)

MAX9140/MAX9141/MAX9142/MAX9144

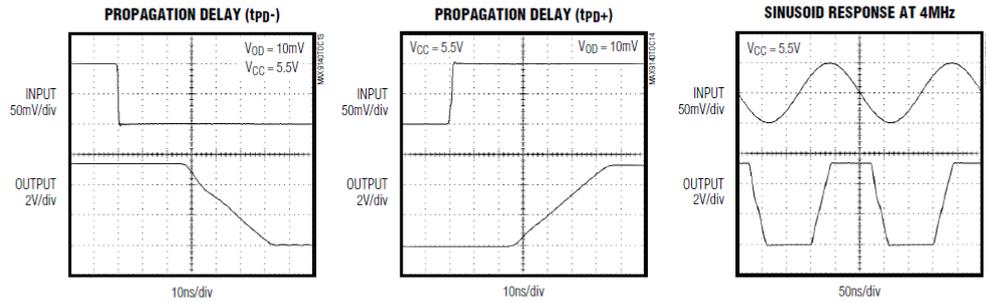


40ns, Low-Power, 3V/5V, Rail-to-Rail Single-Supply Comparators

MAX9140/MAX9141/MAX9142/MAX9144

Typical Operating Characteristics (continued)

($V_{CC} = 3.0V$, $V_{CM} = 0$, $C_L = 15pF$, $V_{OD} = 10mV$, $T_A = +25^\circ C$, unless otherwise noted.)



Pin Description

PIN				NAME	FUNCTION
MAX9140	MAX9141	MAX9142	MAX9144		
—	—	1	1	OUTA	Comparator A Output
—	—	2	2	INA-	Comparator A Inverting Input
—	—	3	3	INA+	Comparator A Noninverting Input
5	1	8	4	V_{CC}	Positive Supply
—	—	5	5	INB+	Comparator B Noninverting Input
—	—	6	6	INB-	Comparator B Inverting Input
—	—	7	7	OUTB	Comparator B Output
—	—	—	8	OUTC	Comparator C Output
—	—	—	9	INC-	Comparator C Inverting Input
—	—	—	10	INC+	Comparator C Noninverting Input
2	4	4	11	GND	Ground
—	—	—	12	IND+	Comparator D Noninverting Input
—	—	—	13	IND-	Comparator D Inverting Input
—	—	—	14	OUTD	Comparator D Output
3	2	—	—	IN+	Noninverting Input
4	3	—	—	IN-	Inverting Input
—	6	—	—	SHDN	Shutdown: MAX9141 is active when SHDN is driven high; MAX9141 is in shutdown when SHDN is driven low.
—	5	—	—	\overline{LE}	The output is latched when \overline{LE} is low. The latch is transparent when \overline{LE} is high.
1	7	—	—	OUT	Comparator Output
—	8	—	—	N.C.	No Connection. Not internally connected.

40ns, Low-Power, 3V/5V, Rail-to-Rail Single-Supply Comparators

Detailed Description

The MAX9140/MAX9141/MAX9142/MAX9144 single-supply comparators feature internal hysteresis, high speed, and low power. Their outputs are pulled to within 300mV of either supply rail without external pullup or pulldown circuitry. Rail-to-rail input voltage range and low-voltage single-supply operation make these devices ideal for portable equipment. The MAX9140/MAX9141/MAX9142/MAX9144 interface directly to CMOS and TTL logic.

Most high-speed comparators oscillate in the linear region because of noise or undesired parasitic feedback. This tends to occur when the voltage on one input is at or equal to the voltage on the other input. To counter the parasitic effects and noise, the MAX9140/MAX9141/MAX9142/MAX9144 have an internal hysteresis of 1.5mV.

The hysteresis in a comparator creates two trip points: one for the rising input voltage and one for the falling input voltage (Figure 1). The difference between the trip points is the hysteresis. The average of the trip points is the offset voltage. When the comparator's input voltages are equal, the hysteresis effectively causes one comparator input voltage to move quickly past the other, thus taking the input out of the region where oscillation occurs. Standard comparators require hysteresis to be added with external resistors. The MAX9140/MAX9141/MAX9142/MAX9144's fixed internal hysteresis eliminates these resistors. To increase hysteresis and noise margin even more, add positive feedback with two resistors as a voltage divider from the output to the noninverting input.

Figure 1 illustrates the case where IN- is fixed and IN+ is varied. If the inputs were reversed, the figure would look the same, except the output would be inverted.

The MAX9141 includes an internal latch that allows storage of comparison results. The $\overline{\text{LE}}$ pin has a high input impedance. If $\overline{\text{LE}}$ is high, the latch is transparent (i.e., the comparator operates as though the latch is not present). The comparator's output state is latched when $\overline{\text{LE}}$ is pulled low (Figure 2).

Shutdown Mode (MAX9141 Only)

The MAX9141 shuts down when the $\overline{\text{SHDN}}$ pin is low. When shut down, the supply current drops to less than 12 μA , and the three-state output becomes high impedance. The $\overline{\text{SHDN}}$ pin has a high-input impedance. Connect $\overline{\text{SHDN}}$ to V_{CC} for normal operation. Exit shutdown with $\overline{\text{LE}}$ high (transparent state); otherwise, the output will be indeterminate.

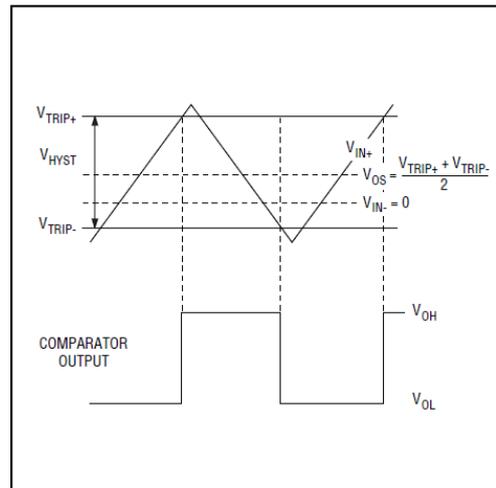


Figure 1. Input and Output Waveform, Noninverting Input Varied

Input Stage Circuitry

The MAX9140/MAX9141/MAX9142/MAX9144 include internal protection circuitry that prevents damage to the precision input stage from large differential input voltages. This protection circuitry consists of two back-to-back diodes between IN+ and IN- as well as two series 4.1k Ω resistors (Figure 3). The diodes limit the differential voltage applied to the internal circuitry of the comparators to be no more than $2V_F$, where V_F is the forward voltage drop of the diode (about 0.7V at +25 $^{\circ}\text{C}$).

For a large differential input voltage (exceeding $2V_F$), this protection circuitry increases the input bias current at IN+ (source) and IN- (sink).

$$\text{Input Current} = \frac{(\text{IN}+ - \text{IN}-) - 2V_F}{2 \times 4.1\text{k}\Omega}$$

Input current with large differential input voltages should not be confused with input bias current (I_B). As long as the differential input voltage is less than $2V_F$, this input current is equal to I_B . The output is in the correct logic state if one or both inputs are within the common-mode range.

MAX9140/MAX9141/MAX9142/MAX9144

40ns, Low-Power, 3V/5V, Rail-to-Rail Single-Supply Comparators

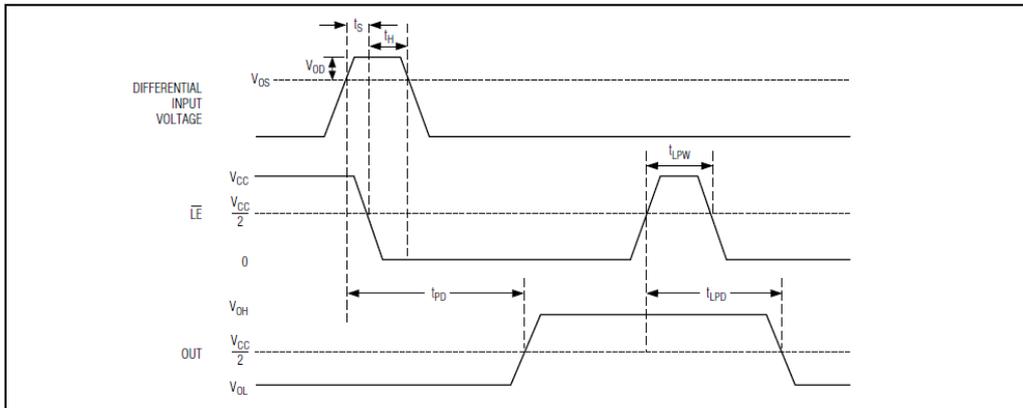


Figure 2. MAX9141 Timing Diagram with Latch Operator

Output Stage Circuitry

The MAX9140/MAX9141/MAX9142/MAX9144 contain a current-driven output stage as shown in Figure 4. During an output transition, I_{SOURCE} or I_{SINK} is pushed or pulled to the output pin. The output source or sink current is high during the transition, creating a rapid slew rate. Once the output voltage reaches V_{OH} or V_{OL} , the source or sink current decreases to a small value, capable of maintaining the V_{OH} or V_{OL} static condition. This significant decrease in current conserves power after an output transition has occurred.

One consequence of a current-driven output stage is a linear dependence between the slew rate and the load capacitance. A heavy capacitive load will slow down a voltage output transition. This can be useful in noise-sensitive applications where fast edges may cause interference.

Applications Information

Circuit Layout and Bypassing

The high-gain bandwidth of the MAX9140/MAX9141/MAX9142/MAX9144 requires design precautions to realize the full high-speed capabilities of these comparators. The recommended precautions are:

- 1) Use a printed circuit board with a good, unbroken, low-inductance ground plane.
- 2) Place a decoupling capacitor (a 0.1 μ F ceramic capacitor is a good choice) as close to V_{CC} as possible.

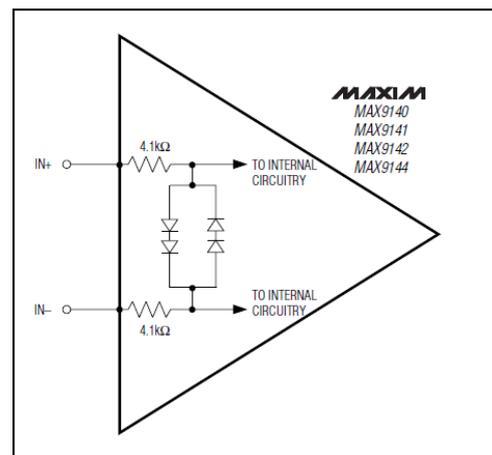


Figure 3. Input Stage Circuitry

- 3) Pay close attention to the decoupling capacitor's bandwidth, keeping leads short.
- 4) On the inputs and outputs, keep lead lengths short to avoid unwanted parasitic feedback around the comparators.
- 5) Solder the device directly to the printed circuit board instead of using a socket.

40ns, Low-Power, 3V/5V, Rail-to-Rail Single-Supply Comparators

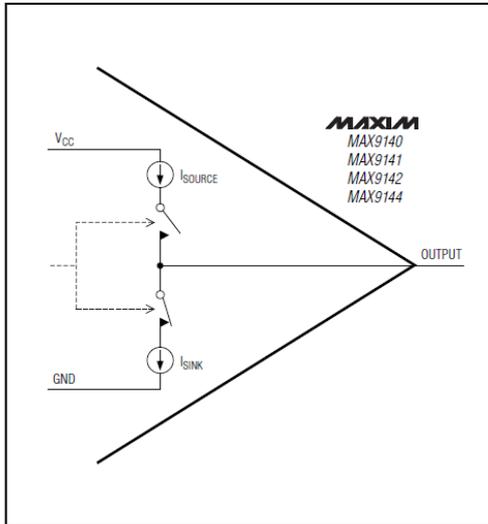


Figure 4. Output Stage Circuitry

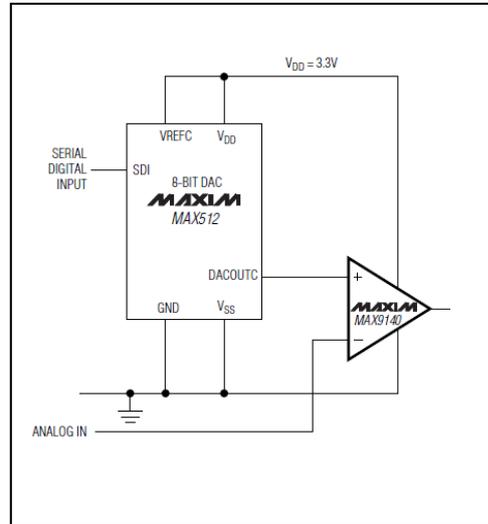


Figure 5. 3.3V Digitally Controlled Threshold Detector

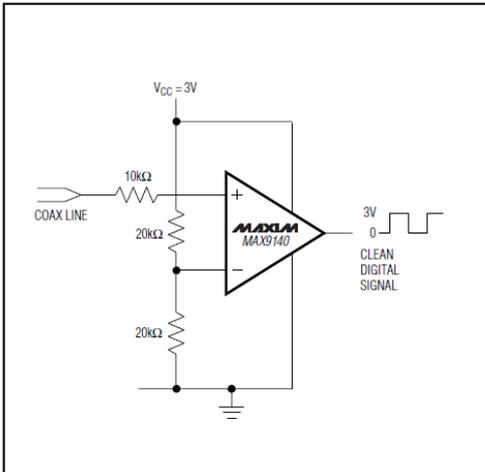


Figure 6. Line Receiver Application

Chip Information

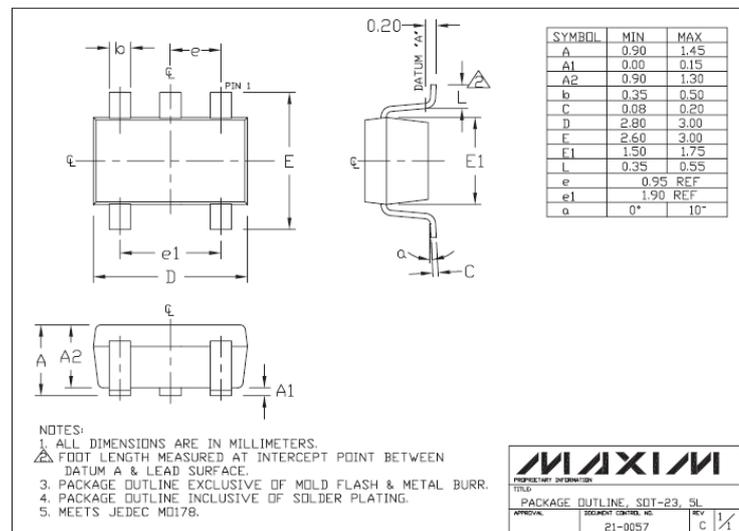
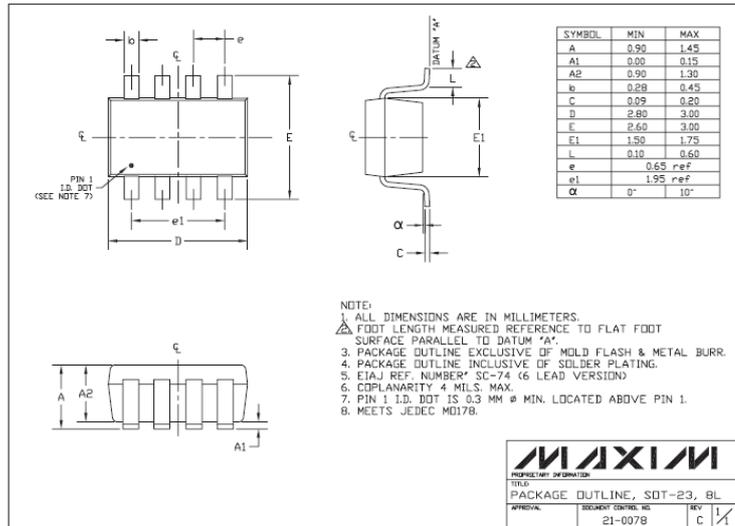
MAX9140 TRANSISTOR COUNT: 158
 MAX9141 TRANSISTOR COUNT: 192
 MAX9142 TRANSISTOR COUNT: 314
 MAX9144 TRANSISTOR COUNT: 620
 PROCESS: Bipolar

MAX9140/MAX9141/MAX9142/MAX9144

40ns, Low-Power, 3V/5V, Rail-to-Rail Single-Supply Comparators

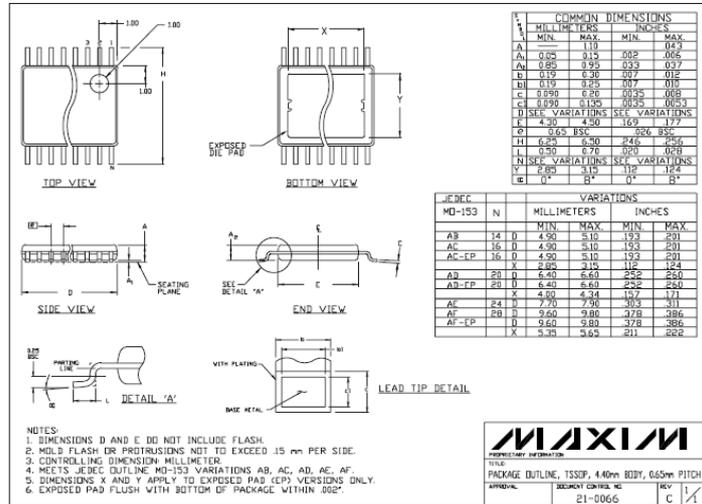
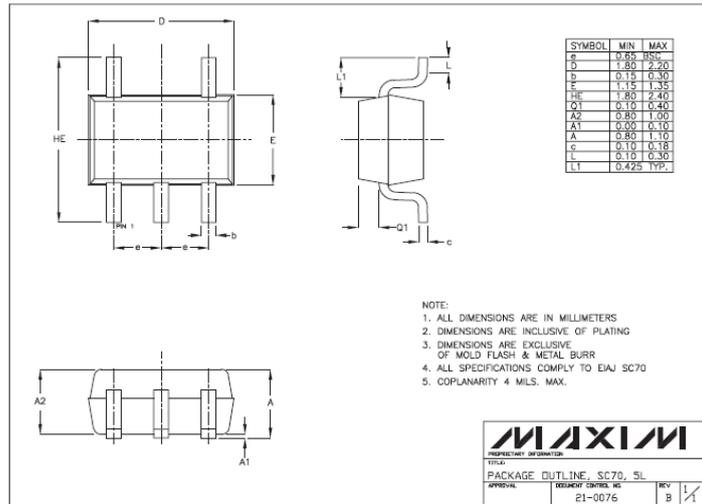
MAX9140/MAX9141/MAX9142/MAX9144

Package Information



40ns, Low-Power, 3V/5V, Rail-to-Rail Single-Supply Comparators

Package Information (continued)

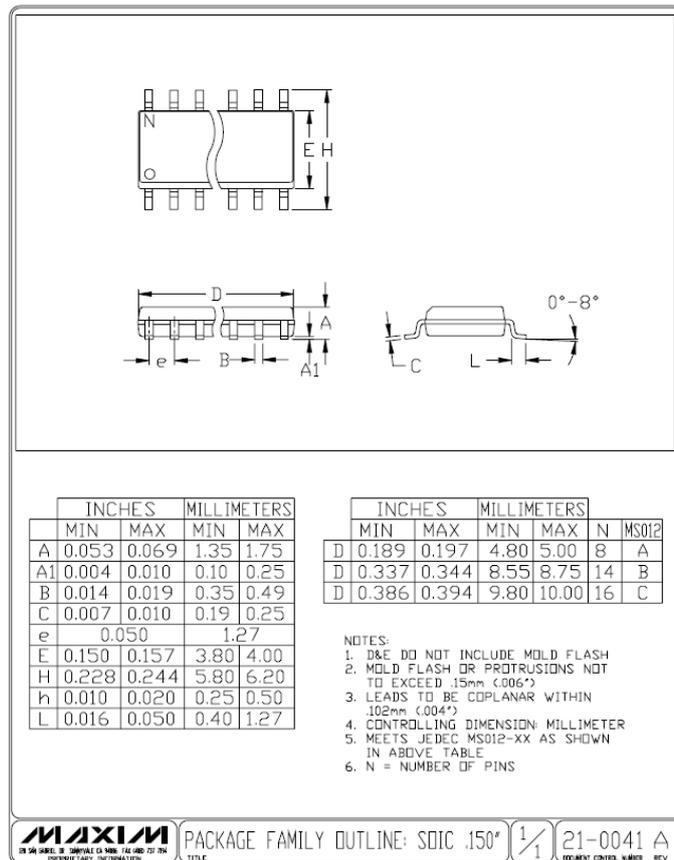


MAX9140/MAX9141/MAX9142/MAX9144

40ns, Low-Power, 3V/5V, Rail-to-Rail Single-Supply Comparators

MAX9140/MAX9141/MAX9142/MAX9144

Package Information (continued)



Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

12 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**

© 2001 Maxim Integrated Products

Printed USA

MAXIM is a registered trademark of Maxim Integrated Products.

Quellenverzeichnis

- [1] * Klaus, Fricke Digitaltechnik
Lehr- und Übungsbuch für Elektrotechniker und Informatiker
- [2] * Wolfgang, Böge: Arbeitshilfen und Formeln für das technische Studium
5. Auflage
(Elektrotechnik, Digitaltechnik, Elektronik, Steuerungstechnik)
- [3] * Bartels, Konrad Schaltungen und Elemente der digitalen Technik
- [4] * Visual Basic 2008 Microsoft
- [5] * Visual C# 2005 (Schritt für Schritt) Microsoft
- [6] * Wikipedia (2009)
<http://de.wikipedia.org/wiki/Flipflop>
<http://de.wikipedia.org/wiki/Schmitt-Trigger>
- [7] * <http://www.elektronik-kompodium.de/sites/grd/index.htm>
- [8] * <http://www.mikrocontroller.net/>
- [9] * Schmitt, Günther Mikrocomputertechnik mit Controllern
der Atmel AVR-RISC-Familie
Programmierungen in Assembler und C- (Schaltungen und Anwendungen)
- [10] * <http://www.analog.com/en/index.html>
<http://www.analog.com/en/rfif-components/direct-digital-synthesis-dds/ad9834/products/product.html>

Selbständigkeitserklärung

Ich erkläre, dass ich die vorliegende Arbeit selbständig und nur unter Verwendung der angegebenen Literatur und Hilfsmittel angefertigt habe.

Mittweida im Oktober 2009
